

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-074526

(43)Date of publication of application : 16.03.1999

(51)Int.Cl.

H01L 29/78  
H01L 21/336  
H01L 27/08

(21)Application number : 10-185300

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.06.1998

(72)Inventor : YAGISHITA JUNJI

SUGURO KYOICHI

MATSUO KOJI

AKASAKA YASUSHI

TSUNASHIMA YOSHITAKA

(30)Priority

Priority number : 09174195

Priority date : 30.06.1997

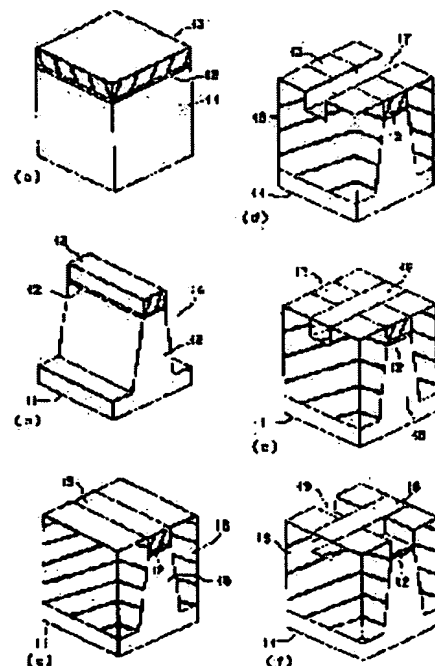
Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provided a semiconductor device and its manufacturing method capable of reducing size and preventing a punch through.

**SOLUTION:** A method of manufacturing semiconductor device comprises a process for forming a gate structure 18 including a dummy electrode and a gate electrode having at least an insulation film at its bottom, and forming an element separation insulation film 16 on one of the main face of a wafer 11, so that the dummy gate or a first groove 19 separated by the gate electrode is formed on the surface of the wafer 11, the dummy gate and one of the gate electrode are positioned in the first groove 19, and the upper face of the gate structure 18 being equal to or lower than the height of the upper face of the element separation insulation film 16. The method further comprises a process for forming a source electrode and a drain electrode in the first groove 19.



---

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-74526

(43) 公開日 平成11年(1999) 3月16日

(51) Int.Cl.<sup>a</sup>  
H 0 1 L 29/78  
21/336  
27/08

識別記号  
3 3 1

F I  
H 0 1 L 29/78 3 0 1 Y  
27/08 3 3 1 A  
29/78 3 0 1 R  
3 0 1 C

審査請求 未請求 請求項の数10 O L (全 34 頁)

(21) 出願番号 特願平10-185300  
(22) 出願日 平成10年(1998) 6月30日  
(31) 優先権主張番号 特願平9-174195  
(32) 優先日 平9(1997) 6月30日  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72) 発明者 八木下 淳史  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内  
(72) 発明者 須黒 恭一  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内  
(72) 発明者 松尾 浩司  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内  
(74) 代理人 弁理士 鈴江 武彦 (外6名)

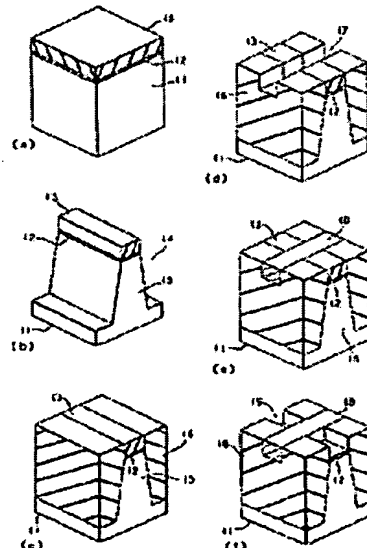
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 サイズを縮小すること、及びパンチスルーの発生を防止することが可能な半導体装置及びその製造方法を提供すること。

【解決手段】 本発明の半導体装置の製造方法は、a) 基板11の一方の主面上に、ダミーゲート電極及び少なくとも底面に絶縁膜を有するゲート電極のいずれか一方を含むゲート構造18と、素子分離絶縁膜15とを、前記基板11の表面に前記ダミーゲート電極或いは前記ゲート電極により分断された第1の溝部19を形成するように、前記ダミーゲート電極及びゲート電極の一方が前記第1の溝部19内に位置するように、及び前記ゲート構造18の上面が前記素子分離絶縁膜15の上面の高さに対して等しい或いは低い高さを有するように形成する工程、及びb) 前記第1の溝部19内にソース電極及びドレイン電極を形成する工程を具備する。



【特許請求の範囲】

【請求項 1】 a) 基板の一方の主面上に、  
ダミーゲート電極及び少なくとも底面に絶縁膜を有する  
ゲート電極のいずれか一方を含むゲート構造と、  
素子分離絶縁膜とを、  
前記基板の表面に前記ダミーゲート電極或いは前記ゲート電極により分断された第1の溝部を形成するように、  
前記ダミーゲート電極及びゲート電極の一方が前記第1の溝部内に位置するように、及び前記ゲート構造の上面が前記素子分離絶縁膜の上面の高さに対して等しい或いは低い高さを有するように形成する工程、及び  
b) 前記第1の溝部内にソース電極及びドレイン電極を形成する工程を具備することを特徴とする半導体装置の製造方法。

【請求項 2】 前記ゲート構造は、ダミーゲート配線と前記ダミーゲート電極とからなる第1のゲート構造、及びそれぞれ少なくとも底面に絶縁膜を有するゲート配線と前記ゲート電極とからなる第2のゲート構造のいずれか一方からなり、  
前記ダミーゲート配線及びゲート配線は、前記素子分離絶縁膜上に形成され、前記ダミーゲート電極及びゲート電極とそれぞれ接続され、及び前記第1の溝部と交差することを特徴とする請求項 1に記載の半導体装置の製造方法。

【請求項 3】 前記ソース及びドレイン電極を形成する工程の前に、前記第1の溝部の底面上にエピタキシャル成長法を用いて半導体膜を形成する工程、及び前記半導体膜中に、ソース拡散層及びドレイン拡散層をそれぞれ形成する工程を具備することを特徴とする請求項 1に記載の半導体装置の製造方法。

【請求項 4】 前記ソース及びドレイン電極を形成する工程は、  
前記基板の一方の主面の全面に、前記ソース及びドレイン電極を構成する材料、或いは前記ソース及びドレイン電極を形成するのに用いられる材料からなる第1の薄膜を形成すること、及び前記第1の薄膜の前記第1の溝部の外側に位置する部分をCMP法を用いて除去することを含むことを特徴とする請求項 1に記載の半導体装置の製造方法。

【請求項 5】 前記ゲート構造は、前記ダミーゲート電極及び前記少なくとも底面に絶縁膜を有するゲート電極のいずれか一方からなることを特徴とする請求項 1に記載の半導体装置の製造方法。

【請求項 6】 前記ゲート構造及び素子分離絶縁膜を形成する工程は、前記素子分離絶縁膜の一部及び前記ゲート構造上に位置し、且つ上面の高さが前記素子分離絶縁膜の上面の高さよりも高いダミー配線を形成することを含むことを特徴とする請求項 5に記載の半導体装置の製造方法。

【請求項 7】 前記ソース及びドレイン電極を形成する

工程の前に、

前記基板の一方の主面の全面に第4の薄膜を形成する工程。

前記第4の薄膜を研磨して前記ダミー配線の上面を露出させる工程、及び前記ダミー配線を除去して前記薄膜に第4の溝部を形成する工程を具備することを特徴とする請求項 6に記載の半導体装置の製造方法。

【請求項 8】 基板の一方の主面上にダミーゲート配線を形成する工程。

前記基板の一方の主面の露出した表面上に、エピタキシャル成長法を用いて半導体膜を形成する工程、及び前記半導体膜上に、絶縁体からなり前記ダミーゲート配線の側面を覆うゲート側壁を形成する工程を具備することを特徴とする半導体装置の製造方法。

【請求項 9】 基板、

前記基板の一方の主面上に形成された素子分離絶縁膜、  
前記基板の一方の主面上に形成されたゲート電極、  
前記素子分離絶縁膜上に形成され、前記ゲート電極と接続されたゲート配線、

前記基板の一方の主面上に、前記ゲート電極を挟んで対向して設けられたソース電極及びドレイン電極、及び前記ゲート電極及び配線の底面及び側面上に形成された絶縁膜を具備し、  
前記ゲート電極、ゲート配線、ソース電極及びドレイン電極は、上面の高さが前記素子分離絶縁膜の上面の高さと等しい或いは低いことを特徴とする半導体装置。

【請求項 10】 基板、

前記基板の一方の主面上に形成されたゲート配線、  
前記基板と前記ゲート配線との間、及び前記ゲート配線の側面上に形成された絶縁膜、  
前記基板の一方の主面上に半導体をエピタキシャル成長してなり、前記ゲート配線の両側にそれぞれ配置された1対の薄膜、及び前記1対の薄膜上に形成され、前記ゲート配線の側面を覆い絶縁体からなるゲート側壁を具備することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 近年、LSIの集積度をより高めて、その動作速度を向上させることが求められている。これを達成するために、通常、トランジスタを構成する各部位の寸法を比例的に縮小することが行われている。しかしながら、ゲート電極の幅を0.1 $\mu$ m程度まで縮小した場合、このような方法では以下に示す問題を生ずる。

【0003】 図38に、従来のMOSFETの一例を概略的に示す。なお、図38は断面図である。図38において、p型のシリコン基板1の一方の主面上には、SiO<sub>2</sub>等からなるゲート絶縁膜2及び多結晶シリコンにリ

ン等のN型不純物を $2 \times 10^{20} \text{ cm}^{-3}$ 以上の高濃度で導入したゲート電極3が順次積層されている。ゲート電極3の側面には、熱酸化膜10を介して絶縁体からなるゲート側壁4が形成されている。また、基板1の表面領域には、側壁4の下方に深く形成されたエクステンションと呼ばれるn型不純物拡散領域5、エクステンション5よりも深く形成されたn型不純物拡散領域6、及びSiO<sub>2</sub>等からなる素子分離領域7が設けられている。さらに、ソース・ドレイン拡散層の抵抗値を低減するために、ソース・ドレイン領域上にはシリサイド(Self Align Silicide)法により金属珪化物層8が形成されている。なお、図38に示すMOSFETにおいて、エクステンション5とn型不純物拡散領域6とはソース・ドレイン拡散層を構成している。また、金属珪化物層8は、ゲート電極3上にも設けられている。

【0004】図38に示すMOSFETにおいてショートチャネル効果及び電気抵抗値の上昇を抑制するためには、エクステンション5中の不純物濃度を $10^{19} \text{ cm}^{-3}$ 程度と非常に高く、かつその深さを $0.05 \mu\text{m}$ 以下と非常に浅く制御せねばならない。エクステンション5を浅く形成するためには、イオン注入時の加速電圧を数keVと非常に低く制御する必要がある。しかしながら、加速電圧を低めた場合、イオン電流が減少するため、現実的な処理時間内でイオン注入を終了することが非常に困難となる。

【0005】また、pn接合の逆バイアスによるリーク電流の増大を防止するためには、基板1の表面領域中に形成された金属珪化物層8の底面とn型不純物拡散領域6の底面との間の距離を典型的には $0.07 \mu\text{m}$ 以上としなければならない。一方、金属珪化物層8の厚さは、ソース・ドレイン拡散層の寄生抵抗値が、ゲート電極3に電圧を印加し続けた状態における抵抗値と比べて十分に小さくなるように決定される。そのため、金属珪化物層8は、低い抵抗値を得るために必要な所定値、例えば $0.05 \mu\text{m}$ 以上の厚さに形成されることが必要である。すなわち、n型不純物拡散領域6は、その底面が基板1の表面から $0.12 \mu\text{m}$ 以上の深さに位置するように形成される。しかしながら、この場合、ゲート電極3に電圧を印加しない状態、すなわちオフの状態においても電流が流れる、所謂パナチスルーを発生するおそれがある。

【0006】上記パナチスルーの発生を防止するものとして、図39(b)に示すエレベイティッドソース・ドレイン構造が知られている。

【0007】図39(a)及び(b)は、エレベイティッドソース・ドレイン構造を有する従来のMOSFETの製造工程を概略的に示す断面図である。なお、図39(a)及び(b)に示すMOSFETにおいて、図38に示すMOSFETと共通する部材には同一の参照符号を付し、その説明は省略する。

【0008】エレベイティッドソース・ドレイン構造を有する従来のMOSFETを製造するに当たり、まず、図39(a)に示すように、n型不純物拡散領域5上にSiを選択的エピタキシャル成長させてSi膜9を形成する。すなわち、ソース・ドレイン拡散層が形成される領域を、基板1の上方に拡大する。なお、Si膜9はゲート電極3上にも形成される。次に、図39(b)に示すように、イオン注入を行うことによりn型不純物拡散領域6を形成する。さらに、図38に関して説明したのと同様の金属珪化物層(図示せず)を形成することにより、MOSFETを得る。なお、図39(a)及び(b)においてゲート電極3は側壁4よりも低く形成されている。これは、ゲート電極3上に形成されるSi膜9が横方向に成長して、ゲート電極3とソース・ドレイン領域とが導通するのを防止するためである。

【0009】以上のようにして形成したMOSFETにおいては、n型不純物拡散領域6は十分な厚さで形成されているにもかかわらず、その実効的な深さ、すなわち基板1の表面からの深さは、図37に示すMOSFETに比べて低減されている。つまり、上記MOSFETによると、金属珪化物層(図示せず)の底面とn型不純物拡散領域6の底面との間の距離を十分に広くとることが可能である。しかしながら、この方法では、上記エピタキシャル成長の際に、Siが図39(a)に示すn型不純物拡散領域5上だけではなく、横方向にも成長してしまう。その結果、Si膜8は素子分離領域7上にも形成され、隣接するトランジスタ間の絶縁状態を維持することが困難となる可能性がある。

【0010】以上、NMOSを例に説明したが、NMOSとPMOSとは半導体の導電型が逆であること以外は同じ構造を有している。したがって、上述した問題はPMOSに関しても同様である。

【0011】

【発明が解決しようとする課題】本発明の目的は、サイズを縮小すること、及びパナチスルーの発生を防止することが可能な半導体装置及びその製造方法を提供することにある。

【0012】本発明の他の目的は、サイズを縮小した場合においても各素子間の絶縁状態を維持することが可能な半導体装置及びその製造方法を提供することにある。

【0013】本発明のさらに他の目的は、サイズを縮小すること、パナチスルーの発生を防止すること、及び各素子間の絶縁状態を維持することが可能な半導体装置及びその製造方法を提供することにある。

【0014】

【課題を解決するための手段】本発明は、a) 基板の一方の主面上に、ダミーゲート電極及び少なくとも底面に絶縁膜を有するゲート電極のいずれか一方を含むゲート構造と、素子分離絶縁膜とを、基板の表面にダミーゲート電極或いはゲート電極により分断された第1の溝部を

形成するように、ダミーゲート電極及びゲート電極の一方が第1の溝部内に位置するように、及びゲート構造の上面が素子分離絶縁膜の上面の高さに対して等しい或いは低い高さを有するように形成する工程、及びb)第1の溝部内にソース電極及びドレイン電極を形成する工程を具備する半導体装置の製造方法を提供する。

【0015】上記半導体装置の製造方法において好ましい態様を以下に示す。

【0016】(1)前記ゲート構造は、ダミーゲート配線と前記ダミーゲート電極とからなる第1のゲート構造、及びそれぞれ少なくとも底面に絶縁膜を有するゲート配線と前記ゲート電極とからなる第2のゲート構造のいずれか一方からなり、前記ダミーゲート配線及びゲート配線は、前記素子分離絶縁膜上に形成され、前記ダミーゲート電極及びゲート電極とそれぞれ接続され、及び前記第1の溝部と交差すること。この場合、以下に示す条件を満たすことが好ましい。

【0017】(1)前記ゲート構造は前記第1のゲート構造からなり、前記ソース及びドレイン電極を形成する工程の後に、前記第1のゲート構造を除去して第2の溝部を形成する工程、及び前記第2の溝部内に、絶縁膜、ゲート電極及びゲート配線を、前記ゲート電極が前記ゲート配線を分断し、かつ前記ソース及びドレイン電極の間に位置するように、及び前記ゲート電極及びゲート配線と前記第2の溝部の内壁との間に前記絶縁膜が介在するように形成する工程を具備すること。この場合、さらに以下に示す条件を満たすことがより好ましい。

【0018】○前記ゲート電極及びゲート配線は、前記基板の一方の主面の全面に、前記ゲート配線を構成する材料、或いは前記ゲート配線を形成するのに用いられる材料からなる第2の薄膜を形成すること、及び前記第2の薄膜の前記第2の溝部の外側に位置する部分をCMP法を用いて除去することにより、一体的に及び同時に形成されること。

【0019】○前記絶縁膜及びゲート配線を形成する工程の前に、前記基板の、前記第2の溝部に対応する表面領域中に、導電性不純物をドーピングする工程、及び前記第2の溝部の底面上にエピタキシャル成長法を用いて半導体膜を形成する工程を具備すること。

【0020】(2)前記ゲート構造及び素子分離絶縁膜を形成する工程は、前記基板の一方の主面に前記素子分離絶縁膜を形成すること、前記素子分離絶縁膜に第3の溝部を形成すること、前記基板の一方の主面の全面に、前記ゲート構造を構成する材料からなる第3の薄膜を形成すること、前記第3の薄膜の前記第3の溝部の外側に位置する部分をCMP法を用いて除去し、前記第3の溝部内に前記ゲート構造を形成すること、及び前記ゲート構造と交差するように、少なくとも側面の一部が前記素子分離絶縁膜で構成された第1の溝部を形成することを含むこと。

【0021】(3)前記ゲート構造は、第2のゲート構造からなり、前記ゲート電極及びゲート配線は金属で構成されること。

【0022】(2)前記ソース及びドレイン電極を形成する工程の前に、前記基板の、前記第1の溝部に対応する表面領域中に、ソース拡散層及びドレイン拡散層をそれぞれ形成する工程を具備すること。

【0023】(3)前記ソース及びドレイン電極を形成する工程の前に、前記第1の溝部の底面上にエピタキシャル成長法を用いて半導体膜を形成する工程、及び前記半導体膜中に、ソース拡散層及びドレイン拡散層をそれぞれ形成する工程を具備すること。

【0024】(4)前記ソース及びドレイン電極を形成する工程は、前記基板の一方の主面の全面に、前記ソース及びドレイン電極を構成する材料、或いは前記ソース及びドレイン電極を形成するのに用いられる材料からなる第1の薄膜を形成すること、及び前記第1の薄膜の前記第1の溝部の外側に位置する部分をCMP法を用いて除去することを含むこと。

【0025】(5)前記ソース及びドレイン電極は金属で構成されること。

【0026】(6)前記ゲート構造は、前記ダミーゲート電極及び前記少なくとも底面に絶縁膜を有するゲート電極のいずれか一方からなること。この場合、以下に示す条件を満たすことが好ましい。

【0027】(1)前記ゲート構造及び素子分離絶縁膜を形成する工程は、前記素子分離絶縁膜の一部及び前記ゲート構造上に位置し、且つ上面の高さが前記素子分離絶縁膜の上面の高さよりも高いダミー配線を形成することを含むこと。この場合、さらに以下に示す条件を満たすことが好ましい。

【0028】○前記ソース及びドレイン電極を形成する工程の前に、前記基板の一方の主面の全面に第4の薄膜を形成する工程、前記第4の薄膜を研磨して前記ダミー配線の上面を露出させる工程、及び前記ダミー配線を除去して前記薄膜に第4の溝部を形成する工程を具備すること。この場合、さらに以下の条件を満たすことがより好ましい。

【0029】・前記第4の溝部を形成する工程と、前記ソース及びドレイン電極を形成する工程との間に、前記第4の溝部内に露出した素子分離絶縁膜の少なくとも一部を除去して前記第4の溝部の底部に第8の溝部を形成する工程を具備すること。

【0030】・前記ゲート構造はダミーゲート電極からなり、前記第4の溝部を形成する工程と、前記ソース及びドレイン電極を形成する工程との間に、前記ダミーゲート電極を除去して、前記第4の溝部の底部に第7の溝部を形成する工程、及び前記第4の溝部内にゲート電極を形成する工程を具備すること。この場合、前記素子分離絶縁膜及び前記ゲート構造を形成する工程の後に、前

記素子分離絶縁膜の一部を除去して第5の溝部を形成する工程、及び前記第5の溝部内に、ソース電極、ドレイン電極及びゲート電極の少なくとも一つと接続される接続配線を形成する工程を具備し、前記ゲート配線を形成する工程と、前記接続配線を形成する工程とは同時に行われることがさらに好ましい。

【0031】・前記第4の薄膜は、前記ソース及びドレイン電極を構成する材料、或いは前記ソース及びドレイン電極を形成するのに用いられる材料からなること。

【0032】・前記ソース及びドレイン電極を形成する工程の前に、前記第4の薄膜を除去する工程を具備すること。

【0033】○前記素子分離絶縁膜及び前記ゲート構造を形成する工程の後に、前記素子分離絶縁膜の一部を除去して第5の溝部を形成する工程、及び前記第5の溝部内に、ソース電極、ドレイン電極及びゲート電極の少なくとも一つと接続される接続配線を形成する工程を具備すること。この場合、前記接続配線を形成する工程と、前記ソース電極及び前記ドレイン電極を形成する工程とは同時に行われることがより好ましい。

【0034】（7）前記ゲート構造及び素子分離絶縁膜を形成する工程は、前記基板の一方の主面の全面に、前記ダミーゲート配線を構成する材料からなる第3の薄膜を形成すること、前記第3の薄膜に順テーパー状の第5の溝部を形成すること、前記基板の一方の主面に前記素子分離絶縁膜を形成すること、前記素子分離絶縁膜の前記第5の溝部の外側に位置する部分をCMP法を用いて除去すること、及び前記第3の薄膜を異方性エッチングして、前記ゲート構造及び第1の溝部の形成と、前記素子分離絶縁膜の側面上への側壁の形成とを同時に行うことを含むこと。

【0035】また、本発明は、基板の一方の主面にダミーゲート配線を形成する工程、基板の一方の主面の露出した表面上に、エピタキシャル成長法を用いて半導体膜を形成する工程、及び半導体膜上に、絶縁体からなりダミーゲート配線の側面を覆うゲート側壁を形成する工程を具備する半導体装置の製造方法を提供する。

【0036】上記半導体装置の製造方法において、前記ゲート側壁を形成する工程の後に、前記基板の一方の主面の全面に層間絶縁膜を形成する工程、前記ダミーゲート配線の上面が露出するように、前記層間絶縁膜を平坦化する工程、前記ダミーゲート配線を除去して、溝部を形成する工程、前記溝部の底面及び側壁上に、ゲート絶縁膜を形成する工程、及び前記溝部内にゲート配線を形成する工程を具備することが好ましい。この場合、以下に示す条件を満たすことがより好ましい。

【0037】（1）前記ゲート側壁を形成する工程の前に、前記半導体膜に導電性不純物をドーピングする工程を具備すること。この場合、前記ゲート側壁を形成する工程と、前記層間絶縁膜を形成する工程との間に、前記

基板の一方の主面の表面領域及び前記半導体膜に導電性不純物をドーピングする工程を具備することが好ましい。

【0038】（2）前記半導体膜を形成する工程は、導電性不純物を含有する半導体をエピタキシャル成長させることを含むこと。この場合、前記ゲート側壁を形成する工程と、前記層間絶縁膜を形成する工程との間に、前記基板の一方の主面の表面領域及び前記半導体膜に導電性不純物をドーピングする工程を具備することが好ましい。

【0039】（3）前記ゲート配線を形成する工程は、前記基板の一方の主面に、前記溝部を埋め込むように導電体或いは半導体材料を堆積すること、及び前記導電体或いは半導体材料の、前記溝部の外側の部分を除去することを含むこと。

【0040】さらに、本発明は、基板、基板の一方の主面に形成された素子分離絶縁膜、基板の一方の主面に形成されたゲート電極、素子分離絶縁膜上に形成され、ゲート電極と接続されたゲート配線、基板の一方の主面に、ゲート電極を挟んで対向して設けられたソース電極及びドレイン電極、及びゲート電極及び配線の底面及び側面上に形成された絶縁膜を有し、ゲート電極、ゲート配線、ソース電極及びドレイン電極は、上面の高さが素子分離絶縁膜の上面の高さと等しい或いは低い半導体装置を提供する。

【0041】上記半導体装置において好ましい態様を以下に示す。

【0042】（1）前記基板の前記ソース電極及びドレイン電極の下方に、それぞれソース拡散層及びドレイン拡散層を具備すること。この場合、前記ゲート電極及びゲート配線の底面は、前記ソース拡散層及びドレイン拡散層の上面よりも低いことがより好ましい。

【0043】（2）前記ゲート電極、ゲート配線、ソース電極及びドレイン電極の上面は、等しい高さを有すること。

【0044】（3）前記ゲート電極及びゲート配線の上面は、前記ソース電極及びドレイン電極の上面よりも高さが低いこと。

【0045】（4）前記ゲート電極及びゲート配線の上面は、前記ソース電極及びドレイン電極の上面よりも高さが高いこと。

【0046】（5）前記基板の一方の主面に、前記ソース電極、ドレイン電極、ゲート電極及びゲート配線の少なくとも一つと接続された接続配線を具備し、前記接続配線は上面の高さが前記素子分離絶縁膜の上面の高さと等しい或いは低いこと。

【0047】また、本発明は、基板、基板の一方の主面に形成されたゲート配線、基板とゲート配線との間、及びゲート配線の側面上に形成された絶縁膜、基板の一方の主面に半導体をエピタキシャル成長してなり、ゲ

ート配線の両側にそれぞれ配置された1対の薄膜、及び1対の薄膜上に形成され、ゲート配線の側面を覆い絶縁体からなるゲート側壁を具備する半導体装置を提供する。

【0048】上記半導体装置において、前記1対の薄膜の前記ゲート側壁と前記基板との間の領域、前記1対の薄膜の他の領域、及び前記基板の前記他の領域と接する表面領域は、導電性不純物を含有することが好ましい。

【0049】

【発明の実施の形態】以下、図面を参照しながら本発明について説明する。

【0050】まず、第1の実施形態について説明する。

【0051】図1及び図2は、それぞれ、本発明の第1の実施形態に係る製造工程を概略的に示す図である。なお、図1及び図2において、(a)～(k)は斜視図である。以下、図1及び図2を参照しながら、第1の実施形態について説明する。

【0052】まず、図1(a)に示すように、(100)面が露出したシリコン基板11を用意し、その面上に5nm程度の厚さの熱酸化膜12を形成する。その後、熱酸化膜12上にLPCVD法により窒化シリコンを堆積し、厚さ150nm程度のシリコン窒化膜13を形成する。

【0053】次に、光リソグラフィ技術又はEθ描画法を用いてシリコン窒化膜13上にレジストパターン(図示せず)を形成する。さらに、図1(b)に示すように、RIE(Reactive Ion Etching)法を用いてシリコン窒化膜13、酸化膜12及びシリコン基板11をエッチングして素子領域15を形成する。この時形成される溝部14は、後で素子分離(STI:Shallow Trench Isolation)に用いられる。溝の深さは、例えば300nm程度に設定する。

【0054】その後、基板11の溝部14を形成した面上に、例えば厚さ600nm程度のTEOS系酸化膜16をCVD法により形成し、溝部14の内部をTEOS系酸化膜で埋め込む。さらに、図1(c)に示すように、TEOS系酸化膜16をCMP(Chemical Mechanical Polishing)法により平坦化する。この時、シリコン窒化膜13がストッパ膜として機能するため、CMP法によるTEOS系酸化膜16の研磨はシリコン窒化膜13が露出した時点で停止され得る。シリコン窒化膜13の厚さはCMPを実施することによりやや薄くなるが、130nm程度は残るようにCMP条件を制御する。

【0055】次に、図1(d)に示すように、ゲート電極を埋め込み形成するための溝部17を形成する。これは、以下に示す方法により行う。まず、光リソグラフィ技術を用いること又はEθ描画を行うことにより、ゲート電極が形成される領域以外の領域上にレジストパターン(図示せず)を形成する。次に、RIE法を用いて

ゲート電極が形成される領域に位置するシリコン窒化膜13及びTEOS酸化膜16をエッチング除去する。ここで必要であれば、シリコン窒化膜の下にポリシリコン膜を形成しておいてもよい。この場合、シリコン窒化膜のRIEをポリシリコン膜が露出した時点で停止することが可能となる。

【0056】この溝部17は、シリコン窒化膜13の厚さと等しい深さに形成することが好ましい。また、シリコン窒化膜13のRIEと酸化膜16のRIEとを、十分なエッチング選択比が得られる条件下でそれぞれ別々に行なうと、以下のメリットが得られる。これについて図3(a)～(c)を参照しながら説明する。

【0057】図3(a)は図1(d)に示すのと同じ工程を概略的に示しており、図3(b)及び(c)それぞれ図3(a)のB-B'線及びC-C'線に沿った断面図である。

【0058】図3(b)に示すように、先にTEOS酸化膜16のRIEを行ない、その後で窒化膜13のRIEを行った場合、窒化膜13の下に酸化膜12が残留するため、シリコン基板11がRIEダメージを受けることはない。また、TEOS酸化膜16のRIEをやや少なめにし、素子分離溝部の側面が露出しない位置で止める。このようにすると、後でトランジスタを形成したときにチャネルエッジ部に寄生トランジスタが形成されることを防止することができる。

【0059】一方、図3(c)に示すように、先に窒化膜13のRIEを行ない、その後で酸化膜16のRIEを行った場合、窒化膜13の下に酸化膜12が除去されるため、シリコン基板11がRIEダメージを受ける。また、窒化膜と酸化膜との間で十分なエッチング選択比が取れない条件下において、窒化膜13及び酸化膜16のRIEを同時に行なった場合も、酸化膜12が除去されて、シリコン基板11がRIEダメージを受ける。また、この場合はチャネルエッジ部に寄生トランジスタが形成されるため、素子特性が劣化してしまう。

【0060】図1及び図2に示す製造工程の説明に戻る。図1(e)に示すように、基板11の溝部17を形成した面上に、LPCVD法によりポリシリコン膜18を300nm程度の厚さに形成して、溝部17をポリシリコンで埋め込む。さらに、CMP法によりポリシリコン膜18を溝部17内のみに残置させる。このポリシリコン膜18は、タミーゲート配線として用いられる。このようにして、ポリシリコン膜18、TEOS酸化膜16及びシリコン窒化膜13の上面の高さを揃え、完全平坦化を実現する。この工程では、シリコン窒化膜13やポリシリコン膜18が110nm程度の厚さで残留するようにCMP条件を制御する。

【0061】次に、図1(f)に示すように、ホットリン酸によるエッチングを施すことによりシリコン窒化膜13を除去し、溝部19を形成する。このようにして、



タミーゲート配線であるポリシリコン膜18の高さと素子分離領域を構成するTEOS酸化膜16の高さとを揃え、ソース電極及びドレイン電極が形成される領域のみが埋んだ構造を得る。

【0062】次に、図2(g)に示すように、ポリシリコン膜18の側面及び上面を酸化して厚さ4nm程度の酸化膜20を形成する。

【0063】次に、図2(h)に示すように、基板11の溝部19を形成した面上に、LPCVDにより厚さ15~20nm程度のシリコン窒化膜21を形成する。さらに、全面RIEを用いて、溝部の側壁(ポリシリコン膜18の側壁及びTEOS酸化膜16の側壁)上に選択的にシリコン窒化膜21を残置させ、それ以外のシリコン窒化膜21を除去する。その後、シリコン基板11の溝底部に位置する表面領域中に、ソース拡散層及びドレイン拡散層(図示せず)を形成する。形成方法としては、イオン注入法、固相拡散法、気相拡散法等が挙げられる。また、必要であればエピタキシャル成長法を用いてソース・ドレインが形成される領域のSiを持ち上げる、すなわちエレベイトッドソース・ドレイン構造を形成してもよい。

【0064】次に、図2(i)に示すように、ソース・ドレイン領域上の熱酸化膜12をRIE等で除去してシリコン表面を露出させ、シリサイドをスパッタすることにより、厚さ100nm程度のシリサイド(CoシリサイドやTiシリサイド)膜22を形成する。その後、CMP法によりポリシリコン18上(ゲート領域上)及びTEOS酸化膜16上(素子分離領域上)のシリサイドを除去し、ソース・ドレイン領域上のみにシリサイド22を残置させる。このようにして、シリサイドエッチングを行うことなしに、ソース・ドレイン領域上に自己整合的にシリサイド膜22を形成することができ、したがって、結晶欠陥の発生を低減することが可能となる。

【0065】なお、本例ではシリサイド膜を埋め込み形成したが、タングステン膜を埋め込み形成してもよい。ソース・ドレイン領域の低抵抗化の目的を達成するためには、シリサイドに限らずタングステンなどの金属を直接ソース・ドレイン領域上に貼り付けても良いからである。このようにして形成されたトランジスタは、リークが少なくソース・ドレイン領域の抵抗が小さいため高速で良好な電気特性を示す。以後の説明はソース・ドレイン領域にシリサイドを貼り付けた場合について行なうが、タングステンの場合も同様である。

【0066】図2(i)の工程でシリサイド膜22を埋め込み形成した後、必要であれば、図4(a)~(c)に示すように、ソース・ドレイン領域上のシリサイド膜22をエッチングにより50nm程度リセスし(すなわちシリサイド膜22の膜厚は50nm程度になる)、それにより形成される溝を、LPCVDとCMPを用いて

キャップ膜となるTEOS系酸化膜31で埋め込んでもよい。

【0067】本例では、図2(i)に示す工程の後、図2(j)に示すように、タミーゲート配線であるポリシリコン膜18をRIE等で除去し、その下の酸化膜12をHF系のエッチング液で除去することにより、溝部23を形成する。

【0068】次に、図2(k)に示すように、酸化膜換算実効膜厚(Teff)が3~4nm程度のゲート絶縁膜24を堆積法又は熱酸化法を用いて形成する。すでにソース・ドレイン領域を(活性化を含めて)形成しており、基本的にこの後には高温工程がないため、ゲート絶縁膜24にはTa<sub>2</sub>O<sub>5</sub>膜や(Ba, Sr)TiO<sub>3</sub>膜などの高誘電体膜や強誘電体膜を使用することができる。また、ゲート電極(ゲート配線)には高融点金属を使用することができる。ゲート絶縁膜に高誘電体膜や強誘電体膜を使用した場合は、用いるゲート絶縁膜の種類に応じてゲート配線材料を選ぶ必要がある。ゲート配線には、Ru、TiN、Al等が使用可能である。本例では、ゲート絶縁膜24にシリコンの酸化窒化膜を用いる。続いて、ゲート絶縁膜24上に厚さ5~10nm程度のバリア金属(TiNやタングステンナイトライド、図示せず)を形成する。さらにその上にタングステンなどの金属ゲート配線材料をCVD法により堆積し、さらにCMP法により平坦化することにより、ゲート配線25を形成する。

【0069】その後、必要であれば、金属ゲート配線25をエッチングにより30nm程度リセスする(すなわち、金属ゲート配線25の厚さは70nm程度になる)。この場合、それにより形成される溝を、LPCVD法及びCMP法を用いて窒化シリコンで埋め込み、金属ゲート上面にキャップ膜となるシリコン窒化膜を形成する。このようなプロセスを採用した場合、後の工程でコンタクトホールが誤ってゲート配線の上に形成されても、このシリコン窒化膜がエッチングストッパーの役目を果たすため、他の配線とゲート配線とのショート不良を防ぐことができる。

【0070】なお、図5に、ソース・ドレイン電極22上にキャップ膜として例えばTEOS酸化膜31、ゲート配線25上にキャップ膜として例えばシリコン窒化膜32を形成した例を示した。

【0071】以後の工程は、通常のLSI製造プロセスに従う。すなわち、TEOS等の層間絶縁膜を堆積形成し、それにゲート電極やソース・ドレイン電極と上層配線とを接続するためのコンタクトホールを開孔する。さらに、コンタクトホールを形成した層間絶縁膜上に、アルミニウム等の金属配線を形成する。

【0072】次に、本発明の第2の実施形態について説明する。

【0073】図6(a)~(d)は、本発明の第2の実

施形態に係る製造工程を概略的に示す図である。なお、第2の実施形態と第1の実施形態とは、図2(i)に示す工程のみが異なり、その他の工程は同様である。したがって、図2(i)に示す工程に対応する工程についてのみ説明する。

【0074】本例では、図6(a)に示すように、シリサイド膜22はソース・ドレイン領域上の溝を完全には埋め込んでいない。そこで、図6(b)に示すように、シリサイド膜22が形成する溝をCVD法によりTEOS酸化膜41で埋め込み、その表面をCMP法により平坦化する。また、図6(b)の工程の後、必要であれば、図6(c)に示すように、シリサイド膜22を50nm程度リセスし、それにより形成される溝を、図6(d)に示すように、CVD法によりTEOS酸化膜42で埋め込み、これを平坦化する。これにより、シリサイド膜22上に、TEOS酸化膜41及び42からなるキャップ膜を形成することができる。この後の工程は、第1の実施形態と同様である。

【0075】上記第2の実施形態は、ソース・ドレイン領域上の溝をシリサイド膜22で完全に埋め込むことができなかつた場合に、残存する溝をTEOS酸化膜で満たし、後工程への悪影響を防止する方法として有効である。

【0076】次に、本発明の第3の実施形態について説明する。

【0077】図7は、本発明の第3の実施形態に係る製造工程を概略的に示す図である。なお、第3の実施形態においては、第1の実施形態の図1(a)～(d)に示す工程が行なわれ、それ以降の工程が異なっている。したがって、図1(d)に示す工程よりも後の工程について説明する。

【0078】まず、図7(a)に示すように、ゲート配線を埋め込み形成するための溝17の底部の酸化膜12をHF系の液で除去する。次に、図7(b)に示すように、ゲート絶縁膜51を形成する。その後、LPCVD法により、ゲート電極（ゲート配線）となるポリシリコン膜52を300nm程度の厚さに形成して溝部17を埋め込み、これをCMP法により平坦化する。このようにして、ポリシリコン膜52、TEOS酸化膜16及びシリコン窒化膜13の表面高さを揃え、完全平坦化を実現する。CMPに際しては、シリコン窒化膜13やポリシリコン膜52が10.0nm程度の厚さで残留するようにCMP条件を制御する。

【0079】次に、図7(c)に示すように、ホットリン酸を用いたエッチングによりシリコン窒化膜13を除去し、溝部19を形成する。このようにして、ゲート配線となるポリシリコン膜52の高さと素子分離領域のTEOS酸化膜16の高さを揃え、ソース・ドレイン電極が形成される領域のみが窪んだ構造を形成する。

【0080】次に、図7(d)に示すように、ポリシリ

コン膜52の表面を酸化して厚さ4nm程度の酸化膜53を形成する。

【0081】次に、図7(e)に示すように、LPCVD法により厚さ15～20nm程度のシリコン窒化膜21を形成する。さらに、全面RIEによって溝部の側壁（ポリシリコン膜52の側壁及びTEOS酸化膜16の側壁）上に選択的にシリコン窒化膜21を残置させ、それ以外のシリコン窒化膜21を除去する。その後、ソース拡散層及びドレイン拡散層（図示せず）を形成する。形成方法としては、イオン注入法、固相拡散法、気相拡散法等が考えられる。また、必要であれば、エビタキシャル成長法を用いてエレベティッドソース・ドレイン構造を形成してもよい。

【0082】次に、図7(f)に示すように、ソース・ドレイン領域上の熱酸化膜12をRIE法等で除去してシリコン表面を露出させる。さらに、シリサイド（CoシリサイドやTiシリサイド）をスパッタし、厚さ100nm程度のシリサイド膜22を形成する。その後、CMP法によりポリシリコンゲート52上及びTEOS酸化膜（素子分離領域）16上のシリサイドを除去し、ソース・ドレイン領域上にのみシリサイド膜22を残置させる。このようにして、シリサイド・シリサイドアニールを行うことなしに、ソース・ドレイン領域上に自己整合的にシリサイド膜22を形成することができる。したがって、結晶欠陥の発生を低減することが可能となる。

【0083】なお、図7に示す工程ではシリサイド膜を埋め込み形成したが、タングステン膜を埋め込み形成してもよい。ソース・ドレイン領域の低抵抗化の目的を達成するためにはタングステンなどのメタルを直接ソース・ドレイン領域上に貼り付けても良いからである。このようにして形成されたトランジスタは、リークが少なくソース・ドレイン領域の抵抗値が小さいため高速で良好な電気特性を示す。

【0084】以後の工程は、通常のLSI製造プロセスに従う。すなわち、TEOS等の層間絶縁膜を堆積し、それにゲート配線やソース・ドレイン電極と上層配線とを接続するためのコンタクトホールを開孔する。さらに、コンタクトホールを形成した層間絶縁膜上にアルミニウム等からなるメタル配線を形成する。

【0085】以上説明したように、本発明の第1～第3の実施形態によると、ソース・ドレイン電極がシリサイドからなるMOSFETを、シリサイド・シリサイドアニールを行うことなく得ることができる。

【0086】従来から、微細デバイスでは、高融点金属とシリコンとの化合物である低抵抗のシリサイドがソース・ドレイン領域上部の電極（ソース・ドレイン電極）やゲート電極に使用されている。しかしながら、このような従来のデバイスにおいては、シリサイド・シリサイドアニール時の体積膨張に伴う応力により、シリサイドとシリコンとの間の界面近傍において転位が発生しやすい。

これらの転位は、ゲート絶縁膜の信頼性を低下させたり、チャネル領域やソース・ドレイン領域のようにpn接合を形成する電氣的に活性な領域の特性を劣化させる。

【0087】このように、従来はソース・ドレイン電極をシリサイド等の低抵抗材料を用いて自己整合的に形成しようとした場合、素子の信頼性低下や特性劣化を生じやすいという問題点があった。

【0088】それに対し、上記第1～第3の実施形態によると、シリサイド・シリシアンニールを行うことなく、ソース・ドレイン電極がシリサイドからなるMOSFETを得ることができる。そのため、第1～第3の実施形態によると、ソース・ドレイン電極をシリサイド等の低抵抗材料を用いて自己整合的に形成でき、しかも素子の信頼性低下や特性劣化を防止することが可能な半導体装置及びその製造方法が提供される。

【0089】次に、本発明の第4の実施形態について説明する。

【0090】図8及び図9は、本発明の第4の実施形態に係る製造工程を概略的に示す図である。なお、第4の実施形態においては、第1の実施形態の図1(a)～

(d)に示す工程が行なわれ、第1の実施形態とはそれ以降の工程が異なっている。したがって、図1(d)に示す工程よりも後の工程について説明する。

【0091】図8(a)に示すように、水素を含有するシリコン酸化膜(以下、FOX膜という)18を300nm程度の厚さに形成して溝部17を埋め込み、これをCMP法により平坦化する。なお、FOX膜18は、 $H_{0.5}Si_{1.0}O_{0.5}$ で示される組成を有し、熱酸化により形成した通常の $SiO_2$ 膜よりもHFエッチングレートが高いという特徴を有する。また、溝17内に残置されたFOX膜18は、ダミーゲート配線として用いられる。

【0092】以上のようにして、FOX膜18、TEOS酸化膜16及びシリコン窒化膜13の表面高さを揃え、完全平坦化を実現する。CMPに際しては、シリコン窒化膜13やFOX膜18が110nm程度の厚さで残留するようにCMP条件を制御する。

【0093】次に、図8(b)に示すように、ホットリン酸を用いたエッチングによりシリコン窒化膜13を除去し、溝部19を形成する。このようにして、ダミーゲート電極となるFOX膜18の高さと素子分離領域のTEOS酸化膜16の高さを揃え、ソース・ドレイン電極が形成される領域のみが埋んだ構造を形成する。

【0094】次に、図8(c)に示すように、LPCVD法により厚さ10～20nm程度のシリコン窒化膜21を形成する。さらに、全面RIEによって溝部の側壁(FOX膜18の側壁及びTEOS酸化膜16の側壁)上に選択的にシリコン窒化膜21を残置させ、それ以外のシリコン窒化膜21を除去する。このとき、酸化膜12の露出部は、上記RIEにより薄くなるか或いは除去

される。さらにその後、RIE或いはHF系のウェットエッチング処理を短時間行うことにより、溝部19内でシリコン表面を露出させる。

【0095】次に、図8(d)に示すように、エピタキシャル成長法を用いてソース・ドレインが形成される領域のSiを上方に拡大する(単結晶のシリコン膜を形成する)。さらに、図9(e)に示すように、ラテラルグロウス部22Aのようにオーバー成長した部分をCMP法により除去し、溝部19内にのみ結晶シリコン膜22を残置させる。

【0096】その後、結晶シリコン膜22中に、NMOs及びPMOS用のソース・ドレイン拡散層(図示せず)を形成する。形成方法としては、イオン注入法、固相拡散法、気相拡散法等が考えられる。さらに、導電性不純物の活性化熱工程を実施する。

【0097】本例では、図9(e)に示す工程の後、図9(f)に示すように、ダミーゲート配線であるFOX膜18をHF液等で除去し、その下の酸化膜12をHF系のエッチング液で除去することにより、溝部23を形成する。上述したように、FOX膜18は、TEOS系酸化膜16に比べてHFエッチングレートが高いので、選択的に除去され得る。

【0098】次に、ホットリン酸等を用いたエッチングを施すことにより、窒化膜21の溝部23の側壁の一部を構成する部分を除去する。その際、それ以外の窒化膜21の上部がエッチングされたと考えられる。しかしながら、窒化膜21の厚さは薄いので、エッチングは短時間で十分である。したがって、例えば、それ以外の窒化膜21の上部がエッチングされたとしても、除去される量は僅かであるため、悪影響を生ずることはない。

【0099】次に、図9(g)に示すように、酸化膜換算実効膜厚( $T_{eff}$ )が2～3nm程度のゲート絶縁膜24を堆積法又は熱酸化法を用いて形成する。すでにソース・ドレイン領域を(活性化を含めて)形成してあり、基本的にこの後には600℃以上の高温工程がないため、ゲート絶縁膜24には $Te_2O_5$ 膜や( $Be$ ,  $Sr$ ) $TiO_3$ 膜などの高誘電体膜や強誘電体膜を使用することができる。また、ゲート電極(ゲート配線)には金属材料を使用することができる。ゲート絶縁膜に高誘電体膜や強誘電体膜を使用した場合は、用いるゲート絶縁膜の種類に応じてゲート配線材料を選ぶ必要がある。ゲート配線には、 $Ru$ 、 $TiN$ 、 $Al$ 、 $W$ 等が使用可能である。また、ゲート絶縁膜とゲート電極との間には、バリアメタルとして $TiN$ 膜や $WN$ 膜等を形成することが望ましい。

【0100】本例では、ゲート絶縁膜24にシリコンの酸化窒化膜が用いられる。続いて、図9(h)に示すように、ゲート絶縁膜24上に厚さ5～10nm程度のバリアメタル( $TiN$ やタングステンナイトライド、図示せず)を形成する。次に、その上にタングステンなどの

メタルゲート配線材料をCVD法により堆積し、さらにCMP法を用いて平坦化することにより、ゲート配線25を形成する。

【0101】その後、必要であれば、メタルゲート配線25をエッチングにより30nm程度リセスする(即ち、メタルゲート配線25の厚さは70nm程度になる)。さらに、それにより形成される溝を、LPCVDとそれに続くCMPを用いて窒化シリコンで埋め込み、メタルゲート上面にキャップ膜となるシリコン窒化膜を形成する。このようなプロセスを採用した場合、後の工程でコンタクトホールが誤ってゲート配線の上に形成されたときに、このシリコン窒化膜がエッチングストッパーの役目を果たし、他の配線とゲート配線とのショート不良を防ぐことができる。

【0102】なお、図9(h)に、メタルゲート配線25上にキャップ膜として例えばシリコン窒化膜32を形成した場合の例を示した。

【0103】以後の工程は、通常のLSI製造プロセスに従う。すなわち、TEOS等の層間絶縁膜を堆積形成し、それにゲート電極やソース・ドレイン電極と上層配線とを接続するためのコンタクトホールを開孔する。さらに、コンタクトホールを設けた層間絶縁膜上にアルミニウム等のメタル配線を形成する。

【0104】次に、本発明の第5の実施形態について説明する。

【0105】図10は、本発明の第5の実施形態に係る製造工程を概略的に示す図である。なお、第5の実施形態においては、第1の実施形態の図1(a)~(d)に示す工程が行われ、それ以降の工程が異なっている。したがって、図1(d)に示す工程よりも後の工程について説明する。

【0106】まず、図10(a)に示すように、ゲート電極を埋め込み形成するための溝17の底部の酸化膜12をHF系の液で除去する。次に、図10(b)に示すように、ゲート絶縁膜として例えばHTO膜24を形成する。その後、LPCVD法により、ゲート電極(ゲート配線)となるポリシリコン膜25を400nm程度の厚さに形成して溝部17を埋め込み、これをCMP法により平坦化する。このようにして、ポリシリコン膜25、TEOS酸化膜16及びシリコン窒化膜13の表面高さを揃え、完全平坦化を実現する。CMPに際しては、シリコン窒化膜13やポリシリコン膜25が200nm程度の厚さで残留するようにCMP条件及び成膜条件(膜厚)を制御する。ここで必要であれば、NMOs及びPMOSのそれぞれについて、ポリシリコン膜25にドーピングを行う。

【0107】その後、ポリシリコン膜25をRIE法やCDE法により50nm程度リセスし(すなわちポリシリコン膜25の膜厚は150nm程度になる)、それにより形成される溝を、LPCVDとCMPを用いてキャ

ップ膜となるTEOS系酸化膜32で埋め込む。

【0108】次に、図10(c)に示すように、ホットリン酸を用いたエッチングによりシリコン窒化膜13を除去し、溝部19を形成する。このようにして、キャップ膜となるTEOS系酸化膜32の高さと素子分離領域のTEOS酸化膜16の高さを揃え、ソース・ドレイン電極が形成される領域のみが埋んだ構造を形成する。

【0109】次に、図10(d)に示すように、SiO<sub>2</sub>-RIEを短時間行って、露出した酸化膜12を除去し、溝部19内でシリコン表面を露出させる。

【0110】次に、図10(e)に示すように、エピタキシャル成長法を用いてソース・ドレインが形成される領域のSiを上方に拡大する(単結晶のシリコン膜を形成する)。さらに、ラテラルグロウス部のようにオーバー成長した部分をCMP法により除去し、溝部19内のみ結晶シリコン膜22を残置させる。

【0111】その後、上記結晶シリコン膜中に、NMOs及びPMOS用のソース・ドレイン領域(図示せず)を形成する。形成方法としては、イオン注入法、固相拡散法、気相拡散法等が考えられる。さらに、導電性不純物の活性化のための熱工程を行う。

【0112】以後の工程は、通常のLSI製造プロセスに従う。すなわち、TEOS等の層間絶縁膜を形成し、それにゲート電極やソース・ドレイン電極と上層配線とを接続するためのコンタクトホールを開孔する。さらに、コンタクトホールを形成した層間絶縁膜上に、アルミニウム等からなるメタル配線を形成する。

【0113】次に、本発明の第6の実施形態について、図8及び図9を参照しながら説明する。

【0114】まず、シリコン窒化膜13の代わりにポリシリコン膜13を形成すること以外は、図1(a)~(d)に示したのと同様の工程を実施する。

【0115】次に、図8(a)に示すように、シリコン窒化膜18を300nm程度の厚さに形成して溝部17を埋め込み、これをCMP法により平坦化する。なお、シリコン窒化膜18はタミーゲート配線として用いられる。以上のようにしてシリコン窒化膜18、TEOS酸化膜16及びポリシリコン膜13の表面高さを揃え、完全平坦化を実現する。CMPに際しては、ポリシリコン膜13やシリコン窒化膜18が110nm程度の厚さで残留するようにCMP条件を制御する。

【0116】次に、図8(b)に示すように、RIE法を用いたエッチングによりポリシリコン膜13を除去し、溝部19を形成する。このようにして、タミーゲート配線であるシリコン窒化膜18の高さと素子分離領域のTEOS酸化膜16の高さを揃え、ソース・ドレイン電極が形成される領域のみが埋んだ構造を形成する。

【0117】次に、図8(c)に示すように、LPCVD法により厚さ15~20nm程度のTEOS系酸化膜21を形成する。さらに、全面RIEによって溝部の側

壁（シリコン窒化膜18の側壁及びTEOS系酸化膜16の側壁）上に選択的にTEOS系酸化膜21を形成させ、それ以外のTEOS系酸化膜21を除去する。このとき、露出した酸化膜12は、上記RIEにより薄くなるか或いは除去される。さらにその後、RIE或いはHF系のウェットエッチング処理を短時間行うことにより、溝部19内にシリコン表面を露出させる。

【0118】次に、図8（d）に示すように、エピタキシャル成長法を用いてソース・ドレインが形成される領域のSiを上方に拡大する（単結晶のシリコン膜を形成する）。さらに、図9（e）に示すように、ラテラルグロウス部22Aのようにオーバー成長した部分をCMP法により除去し、溝部19内にのみ結晶シリコン膜22を残置させる。

【0119】その後、上記結晶シリコン膜22中に、NMOs及びPMOS用のソース・ドレイン拡散層（図示せず）を形成する。形成方法としては、イオン注入法、固相拡散法、気相拡散法等が考えられる。さらに、導電性不純物の活性化熱工程を実施する。

【0120】本例では、図9（e）に示す工程の後、図9（f）に示すように、ダミーゲート配線であるシリコン窒化膜18をホットリン酸を用いて除去することにより、溝部23を形成する。

【0121】次に、HF等を用いたエッチングを施すことにより、TEOS系酸化膜21の溝部23の側壁の一部を構成する部分を除去する。その際、それ以外のTEOS系酸化膜21及びTEOS系酸化膜16の上面がエッチングされると考えられる。しかしながら、TEOS系酸化膜21の厚さは薄いため、エッチングは短時間で十分である。したがって、例え、それ以外のTEOS系酸化膜21及びTEOS系酸化膜16の上面がエッチングされたとしても、除去される量は僅かであるため、素子特性に悪影響を与えることはない。

【0122】さらに、第4の実施形態において説明したのと同様の方法により、図9（e）及び（h）に示す構造を得る。

【0123】次に、本発明の第7の実施形態について説明する。

【0124】図11は、本発明の第7の実施形態に係る製造工程を概略的に示す図である。なお、第7の実施形態においては、第6の実施形態の図9（e）に示す工程までは同様に行なわれ、第6の実施形態とはそれ以降の工程が異なっている。

【0125】まず、第6の実施形態において説明したのと同様の方法により、図9（e）に示す構造を得る。なお、図11（a）は、図9（e）に示す半導体装置の11A-11A'線に沿った断面図である。

【0126】次に、図11（b）に示すように、結晶シリコン膜22をRIE等で50nm程度リセスする。その後、この結晶シリコン膜22中に、NMOs及びPM

OS用のソース・ドレイン拡散層（図示せず）を形成する。形成方法としては、イオン注入法、固相拡散法、気相拡散法等が考えられる。さらに、導電性不純物の活性化熱工程を実施する。

【0127】次に、図11（c）に示すように、スパッタリング法またはCVD法により、コバルトシリサイドやタングステン等からなる金属材料膜31を成膜して、上記リセスにより形成される溝部を金属材料で埋め込む。さらに、CMP法により、金属材料膜31を溝部内のみに残置させる。

【0128】その後、図11（d）に示すように、ダミーゲート配線であるシリコン窒化膜18をホットリン酸を用いて除去することにより、溝部23を形成する。

【0129】次に、図11（e）に示す構造を、第5の実施形態において説明したのと同様の方法により得る。なお、本例においては、ゲート絶縁膜24をTe2O5で構成し、ゲート配線25をAlで構成する。また、必要であれば、Te2O5膜の下に、0.5nm程度の厚さのSiO2膜またはSiN膜を形成してもよい。この場合、ラジカル酸化またはラジカル窒化を用いることにより、上記膜を低温（600℃以下）で形成することができる。

【0130】その後、必要であれば、図11（f）に示すように、Al金属材料ゲート配線25の表面を酸化して、ゲート配線25の上面にキャップ膜としてアルミナ（Al2O3）膜32を形成する。このようなプロセスを採用した場合、後の工程でコンタクトホールが誤ってゲート配線の上に形成されたときに、このアルミナ膜32がエッチングストップの役目を果たし、他の配線とゲート配線とのショート不良を防ぐことができる。

【0131】以後の工程は、通常のLSI製造プロセスに従う。すなわち、TEOS等の層間絶縁膜を堆積形成し、それにゲート電極やソース・ドレイン電極と上層配線とを接続するためのコンタクトホールを開孔する。さらに、この層間絶縁膜上にアルミニウム等からなるメタル配線を形成する。

【0132】次に、本発明の第8の実施形態について、図12を参照しながら説明する。

【0133】図12は、本発明の第8の実施形態に係る製造工程を概略的に示す図である。なお、第8の実施形態においては、第1の実施形態の図1（d）に示す工程までは同様に行なわれ、第1の実施形態とはそれ以降の工程が異なっている。したがって、図1（d）に示す工程よりも後の工程について説明する。

【0134】図1（d）に示す構造を形成した後、図12（e）に示すように、溝部17内に、ダミーゲート配線18を形成する。ダミーゲート配線18は、TiN、WNx、W、Al、Ge、RuOx等で構成することができる。これら材料はSH処理等により容易に除去可能であるので、ダミーゲート配線18に好適に用いられ

る。以下、タミーゲート配線18をゲルマニウム膜とした場合について記載する。

【0135】ゲルマニウム膜18を300nm程度の厚さに形成して溝部17を埋め込み、これをCMP法により平坦化する。このようにして、ゲルマニウム膜18、TEOS酸化膜16及びシリコン窒化膜13の表面高さを揃え、完全平坦化を実現する。CMPに際しては、シリコン窒化膜13やゲルマニウム膜18が110nm程度の厚さで残留するようにCMP条件を制御する。

【0136】次に、図12(b)に示すように、ホットリン酸を用いたエッチングによりシリコン窒化膜13を除去し、溝部19を形成する。このようにして、ゲルマニウム膜18の高さと素子分離領域のTEOS酸化膜16の高さを揃え、ソース・ドレイン電極が形成される領域のみが窪んだ構造を形成する。

【0137】次に、図12(c)に示すように、LPCVD法により厚さ10~20nmのシリコン窒化膜21を形成し、全面RIEにより溝部19の側壁(ゲルマニウム膜18の側面及びTEOS系酸化膜16の側面)上に選択的にシリコン窒化膜21を残留させる。このRIEにより、露出した酸化膜12は、薄くなるか或いは除去される。その後、RIEまたはHF系のウェットエッチングを短時間行うことにより、溝部19内でシリコン表面を露出させる。

【0138】次に、H<sub>2</sub>クリーニングを施し、図12(d)に示すように、エピタキシャル成長法を用いてソース・ドレインが形成される領域のSiを上方に拡大する(単結晶のシリコン膜を形成する)。さらに、ラテラルグロウス部のようにオーバー成長した部分(図示せず)をCMP法により除去し、溝部19内にのみ結晶シリコン膜22を残留させる。

【0139】その後、結晶シリコン膜22中に、NMOs及びPMOS用のソース・ドレイン拡散層(図示せず)を形成する。形成方法としては、イオン注入法、固相拡散法、気相拡散法等が考えられる。次に、導電性不純物の活性化熱工程(RTA等)を行う。さらに、TiやCoをスパッタして、ソース・ドレイン領域上にシリサイド膜を形成する。

【0140】本例では、図12(d)に示す工程の後、図12(e)に示すように、タミーゲート配線であるゲルマニウム膜18及びその下の酸化膜12をSH処理及びHFウェットエッチングで除去することにより、溝部23を形成する。

【0141】次に、ホットリン酸等を用いたエッチングを施すことにより、窒化膜21の溝部23の側壁の一部を構成する部分を除去する。その際、それ以外の窒化膜21の上部がエッチングされたと考えられる。しかしながら、窒化膜21の厚さは薄いので、エッチングは短時間で十分である。したがって、例えば、それ以外の窒化膜21の上部がエッチングされたとしても、除去される量

は少ないため、素子特性に悪影響を与えることはない。

【0142】さらに、第4の実施形態において説明したのと同様の方法により、図12(f)に示す構造を得る。

【0143】その後、必要であれば、メタルゲート配線25をエッチングにより30nm程度リセスする(即ち、メタルゲート配線25の厚さは70nm程度になる)。さらに、それにより形成される溝を、LPCVDとそれに続くCMPを用いて窒化シリコンで埋め込み、メタルゲート上面にキャップ膜となるシリコン窒化膜を形成する。このようなプロセスを採用した場合、後の工程でコンタクトホールが誤ってゲート配線の上に形成されたときに、このシリコン窒化膜がエッチングストッパーの役目を果たし、他の配線とゲート配線とのショート不良を防ぐことができる。

【0144】以後の工程は、通常のLSI製造プロセスに従う。すなわち、TEOS等の層間絶縁膜を堆積形成し、それにゲート電極やソース・ドレイン電極と上層配線とを接続するためのコンタクトホールを開孔する。さらに、この層間絶縁膜上にアルミニウム等からなるメタル配線を形成する。

【0145】以上示した第1~第8の実施形態によると、ソース・ドレイン電極の形成に先立って、ゲート構造と素子分離絶縁膜とがそれらの上面の高さが等しくなるように、及びゲート構造と交差し且つゲート構造に分離された溝部が形成される。また、ソース・ドレイン電極は上記溝部内に形成される。そのため、第1~第8の実施形態によると、ソース・ドレイン電極を自己整合的に形成することができる。すなわち、第1~第8の実施形態によると、ゲート構造の上面の高さと素子分離絶縁膜の上面の高さとが等しいため、ソース・ドレイン領域にメタル材料をCMP法を用いて埋め込むことができる。また、上記溝部をエピタキシャル成長法を用いてシリコン膜で埋め込む場合、ラテラルグロウス部のようにオーバー成長した部分をCMP法で除去可能である。したがって、隣接するトランジスタ間の絶縁状態を良好に維持することができ、高密度微細トランジスタを実現することが可能となる。

【0146】また、第4~第8の実施形態によると、基板のチャネル領域が形成される部分にRIEを行うことなく、コンケープ型トランジスタを得ることができる。したがって、コンケープ型トランジスタを作製する際に、チャネル領域のRIEダメージの発生を防止することができる。すなわち、素子の電気特性の劣化を防止することができる。

【0147】さらに、第1~第8の実施形態において、ソース・ドレイン電極をシリサイドで構成する場合、シリサイドをスパッタすることにより、シリサイドシジョンアニールを行うことなく、ソース・ドレイン電極を形

成することができる。したがって、素子の信頼性の低下や特性劣化を防止することができる。

【0148】また、第1～第8の実施形態において、エレベティッドソース・ドレイン構造を採用した場合、ソース・ドレイン領域を十分な厚さに形成し、かつその実効的な接合深さを浅くすることができる。したがって、サイズを縮小した場合においても、パンチスルーの発生を防止し、かつ各素子間の絶縁状態を維持することが可能となる。

【0149】なお、上記第1～第8の実施形態において、同一番号が付された構成要素は、特に説明がない限り実質的に同一である。

【0150】次に、本発明の第9の実施形態について、図13～図15を参照しながら説明する。

【0151】図13～図15は、本発明の第9の実施形態に係る半導体装置の製造工程を概略的に示す図である。なお、(a)～(c)、(q)及び(r)は断面図であり、(p)は平面図である。

【0152】まず、図13(a)に示すように、シリコン基板101の一方の面に4nm程度の厚さの熱酸化膜102を形成する。その後、熱酸化膜102上にCVD法により、厚さ200nm程度のポリシリコン膜103を形成する。

【0153】次に、図13(b)に示すように、リングラフィー技術及びRIE技術を用いて、ポリシリコン膜103、熱酸化膜102及びシリコン基板101をエッチングして溝部104を形成する。溝部104は、後で素子分離に用いられる。

【0154】さらに、図13(c)に示すように、ポリシリコン膜103及びシリコン基板101の露出した面に熱酸化膜105を形成する。

【0155】その後、図13(d)に示すように、基板101の溝部104を形成した面上に、シリコン酸化膜106をCVD法により形成し、溝部104をシリコン酸化物で埋め込む。さらに、シリコン酸化膜106をCMP法により研磨する。この研磨は、ポリシリコン膜103が露出した時点で停止する。以上のようにして素子分離領域を形成する。

【0156】次に、図13(e)に示すように、ポリシリコン膜103の露出した面に熱酸化膜107を形成し、その上に、厚さ150nm程度のSiN膜108を成膜する。この熱酸化膜107はエッチングストッパーとして用いられる。さらに、リングラフィー技術及びRIE技術を用いて、ゲート配線が形成される領域に位置するSiN膜108のみを残置させ、それ以外のSiN膜108を除去する。

【0157】次に、図13(f)に示すように、短時間のRIE或いはウェットエッチングにより、熱酸化膜107の露出部を除去する。さらに、SiN膜108とシリコン酸化膜106とをマスクとして用いて、ポリシリ

コン膜103をエッチングする。

【0158】なお、図13(b)に示す工程において、溝部104を順テーパー状に形成してもよい。溝部104をこのように形成した場合、上述した工程を実施することにより、図14(e)に示すように、シリコン膜103の側壁にポリシリコン膜103が残留する。このようなポリシリコン膜103は後でゲート電極となるため、ゲート電極とソース・ドレイン電極間の寄生容量を増加させる場合がある。したがって、シリコン酸化膜106の側壁に残留するポリシリコン膜103の全てが後の熱酸化工程で酸化膜となるように、溝部104のテーパー角を設定しておく。

【0159】その後、図14(h)に示すように、ゲートエッジを保護するために、ポリシリコン膜103の側面に厚さ4nm程度の熱酸化膜109を形成する。なお、溝部104を順テーパー状に形成した場合は、シリコン酸化膜106の側壁に残留するポリシリコン膜103の全てを酸化する。さらに、基板101に対してイオン注入及び活性化を行って基板101の表面領域にエクステンションを形成し、次に、CVD法によりSiN膜を形成する。さらにRIEを行うことにより、図14(i)に示すように、SiN膜をポリシリコン膜103、熱酸化膜105、熱酸化膜107、及びSiN膜108の側面にのみ選択的に残置させて、SiN側壁110を形成する。

【0160】この時点で、イオン注入を行うことにより基板101の表面領域により深い拡散領域を形成してもよい。なお、本例においては、後述する工程においてエレベティッドソース・ドレイン構造が形成されるため、ここで深い拡散領域を形成する必要はない。すなわち、ここでは、エクステンションのみで十分である。なお、上記側壁110は、ソース・ドレイン電極とゲート電極との間の結合容量の低減、及びソース・ドレイン電極とゲート電極との間でのショート発生の防止を目的として設けられる。

【0161】次に、ウェット処理により露出した熱酸化膜102を除去する。その後、図14(j)に示すように、CVD法によりポリシリコン膜111を形成する。さらに、図14(k)に示すように、CMP技術またはレジスト・エッチバック技術を用いてポリシリコン膜111を平坦化する。この平坦化は、SiN膜108及び側壁110が露出するまで行う。以上のようにして、ゲート配線を形成する領域を除く全ての領域をポリシリコン膜111で被覆する。このポリシリコン膜111の表面には、エッチングストッパーとして用いられる熱酸化膜(図示せず)を形成する。

【0162】その後、図14(l)に示すように、ホットリン酸等を用いたウェットエッチング、ラジカルエッチング、或いはRIEにより、側壁110の一部及びSiN膜108を除去する。

【0163】さらに、ポリシリコン膜111の表面に形成した熱酸化膜（図示せず）と熱酸化膜105とをウェット処理により除去する。

【0164】次に、図15（m）に示すように、ポリシリコン膜103、111及びSiNからなる側壁110をマスクとして用いて、シリコン酸化膜106の露出部をRIEにより除去することにより、溝部112を形成する。シリコン酸化膜106の除去は、チャネルエッジが露出しない程度に、すなわち熱酸化膜102の側面が露出しない程度とする。これにより、従来のSTI構造において問題であったゲート耐圧の劣化及びトランジスタ特性の劣化を防止することができる。

【0165】次に、図15（n）に示すように、基板101の溝部112を形成した面にポリシリコン膜113を成膜する。さらに、図15（o）に示すように、CMP法或いはレジストエッチバック技術等を用いて平坦化を行う。この平坦化は、シリコン酸化膜106が露出するまで行う。

【0166】なお、図15（p）に、図15（o）に示す半導体装置の平面図を示す。この図に示すように、ゲート電極が形成される領域はポリシリコン膜103で構成され、ソース・ドレイン電極が形成される領域はポリシリコン膜111で構成され、ゲート配線が形成される領域はポリシリコン膜113で構成されている。次に、ポリシリコン膜103、111及び113に対して同時にイオン注入を行い、さらに活性化のための熱処理を施す。ここで、上記熱処理により予め形成しておいた拡散領域が過剰に深くなる場合は、エクステンションを予め形成せずに、本工程においてイオン注入したドーパントを固相拡散させることによりエクステンションを形成すればよい。それにより、エクステンションを所望の深さに形成することができる。

【0167】次に、図15（q）に示すように、C<sub>60</sub>或いはTi<sub>2</sub>等を用いたシリサイドプロセスを実施する。それにより、ポリシリコン膜103、111、113の表面領域にシリサイド膜114が形成される。すなわち、ゲート電極及びソース・ドレイン電極が自己整合的に形成される。なお、選択反応の乱れにより、シリサイド膜114が側壁110上にも形成された場合は、CMP法等により表面を僅かに研磨すればよい。それにより、側壁110上に形成されたシリサイド膜114を容易に除去することができる。或いは、図15（r）に示すように、シリサイドプロセスを実施する前に、ポリシリコン膜103、111、113を適度にエッチバックして、側壁110をポリシリコン膜103、111、113に対して突出させればよい。

【0168】以上示したように、本発明の第9の実施形態によると、エレベティッドソース・ドレイン構造を有し、ソース・ドレイン電極がシリサイドで構成されるMOSFETを形成する際に、ソース・ドレイン領域が

STI上に形成されることを防止することが可能となる。また、本実施形態によると、STI後退によりゲートエッジが露出することがないため、電気的特性の良好なMOSFETを得ることができる。

【0169】次に、本発明の第10の実施形態について説明する。本実施形態においては、複数のMOSFETを同時に形成する際に、あるMOSFETのソースまたはドレイン電極と他のMOSFETのソースまたはドレイン電極との電気的接続、或いはあるMOSFETのソース電極またはドレイン電極と他のMOSFETのゲート電極との電気的接続が行われる。

【0170】図16～図18に、本発明の第10の実施形態に係る半導体装置の製造工程を概略的に示す。以下、上述した2通りの接続方法を図16～図18を参照しながら説明する。

【0171】まず、第9の実施形態の図13（a）～（f）及び図14（e）～（i）に関して説明したのと同様の方法により、図16（a）或いは（b）に示す構造を得る。なお、図16（c）は、図16（a）のC-C'線に沿った断面図であり、図16（d）は、図16（b）のD-D'線に沿った断面図である。

【0172】次に、第9の実施形態の図14（j）～（l）に関して説明したのと同様の工程を実施することにより、図16（e）及び（f）に示す構造をそれぞれ得る。

【0173】その後、図17（e）及び（h）に示すように、レジスト膜120を形成し、リソグラフィ技術を用いてレジスト膜120に開口部を形成する。さらに、このレジスト膜120をマスクとして用いて、ポリシリコン膜111をシリコン酸化膜106が露出するように除去する。なお、図17（e）及び（h）に示す半導体装置の平面図を、図17（i）及び（j）にそれぞれ示す。

【0174】次に、図17（k）及び（l）に示すように、熱酸化膜105、ポリシリコン膜111及びレジスト膜120をマスクとして用いて、RIE法等によりSiN側壁110をエッチングする。SiN側壁110は必ずしも完全に除去する必要はない。SiN側壁110の除去は、後の工程で形成されるシリサイド膜の底面よりも低い位置まで行えば十分である。

【0175】次に、レジスト膜120を除去する。その後、第9の実施形態の図15（m）に関して説明したのと同様の方法により、図18（m）及び（n）に示す構造をそれぞれ得る。さらに、第9の実施形態の図15（n）～（q）に関して説明したのと同様の方法により、図18（o）及び（p）に示す構造をそれぞれ得る。なお、図18（q）及び（r）に、図18（o）及び（p）に示す半導体装置の平面図をそれぞれ示す。

【0176】上述した方法をCMOS-6T1Rセル構造のSRAMの製造に適用した例を以下に示す。



【0177】図19～図23に、本発明の第10の実施形態に係る半導体装置の製造工程を概略的に示す。なお、図19～図23は平面図である。

【0178】まず、第9の実施形態において図13(e)～(d)に関して説明した工程を実施して、図19に示す構造を得る。なお、図19において、基板151上には、NMOS素子領域152、PMOS素子領域153、及び素子分離領域154が形成されている。

【0179】次に、図20に示すように、ゲート配線パターン155を形成することで、セル内のインバータ回路156のNMOSとPMOSのゲート配線を接続し、さらにワード線157が形成される。

【0180】その後、図21に示すように、接合配線領域パターン158を形成する。従来、フリップフロップ回路170においては、ある素子のソース・ドレイン電極と他の素子のソース・ドレイン電極とを接続する接合配線159と、ある素子のソース・ドレイン電極と他の素子のゲート電極とを接続する接合配線160とは別々の層に形成されていた。すなわち、従来は、ゲート配線が形成される層とは別に、接合配線159及び160の少なくとも一方を形成するために、さらに1層以上の配線層を設ける必要があった。それに対し、第10の実施形態によると、ゲート配線が形成される層に上述した配線を形成することが可能となる。したがって、ゲート配線が形成される層の上に設けられる上層には、ビット線、V+線、及びV-線のみを形成すればよい。すなわち、ゲート配線が設けられる層に形成するコンタクト領域は、ビットコンタクト領域161、V-コンタクト領域162、及びV+コンタクト領域163の3端子で十分である。

【0181】ここで、図22に示すようにセル同士の結合を行う場合、図23に示すように、上層に形成するビット線、V+線、及びV-線は交差することなく配置される。そのため、ビット線164、V+線165、及びV-線166を同一層に形成することが可能である。したがって、第10の実施形態によると、SRAMセル全ての配線を、ゲート配線層と1つの上層とで形成することができる。

【0182】以上示したように、本発明の第10の実施形態によると、あるMOSFETのソース・ドレイン電極と他のソース・ドレイン電極とを接続する配線と、あるMOSFETのソース・ドレイン電極と他のゲート電極とを接続する配線とを、ゲート配線が形成される層に形成することができる。したがって、工程数を大幅に減らすことが可能となる。また、従来は、あるMOSFETのソース・ドレイン電極と他のソース・ドレイン電極とを接続するために、ソース・ドレイン領域を大きく形成する必要があった。それに対し、第10の実施形態によると、ソース・ドレイン領域の大きさを従来に比べて小さくすることができる。そのため、拡散容量の増大を

防止し、トランジスタ特性を向上させることができる。

【0183】次に、本発明の第11の実施形態について説明する。第9の実施形態においては、ゲート電極を予め形成した後にソース・ドレイン電極を形成したが、本実施形態においては、ゲート電極の代わりにまずダミーゲート配線が形成される。また、本実施形態によると、ゲート電極の側面の一部をチャネルとして用いた構造（以下、ハーフコンケーブ構造という）のMOSFETの製造が可能である。以下、図24～図27を参照しながら説明する。

【0184】図24～図27は、本発明の第11の実施形態に係る半導体装置の製造工程を概略的に示す断面図である。

【0185】まず、図24(a)に示すように、シリコン基板101の一方の面に4nm程度の厚さの熱酸化膜102を形成する。なお、熱酸化膜102は、基板101の表面を保護するため、及び後の工程においてエッチングストッパーとして使用するために設ける。その後、熱酸化膜102上にCVD法により、厚さ150nm程度のシリコン窒化膜103を形成する。

【0186】次に、図24(b)に示すように、リソグラフィ技術及びRIE技術を用いて、シリコン窒化膜103、熱酸化膜102及びシリコン基板101をエッチングして溝部104を形成する。溝部104は、後で素子分離に用いられる。本実施形態においては、溝部104を順テーパー状に形成する。さらに、シリコン基板101の露出した面に熱酸化膜105を形成する。

【0187】その後、図24(c)に示すように、基板101の溝部104を形成した面上に、シリコン酸化膜106をCVD法により形成し、溝部104をシリコン酸化物で埋め込む。さらに、シリコン酸化膜106をCMP法により研磨する。この研磨は、シリコン窒化膜103が露出した時点で停止する。以上のようにして素子分離領域を形成する。

【0188】次に、シリコン窒化膜103及びシリコン酸化膜106上に、図24(d)に示すパターンのシリコン酸化膜108を300nm程度の厚さに形成する。ここでシリコン酸化物を用いた理由は、シリコン酸化物は、シリコン窒化膜103に対して十分なエッチング選択性を有しているためである。ただし、このエッチングの際に、シリコン酸化膜106の一部も除去される。シリコン酸化膜106の除去量が過剰となる場合は、シリコン酸化膜108とシリコン酸化膜106との間に、エッチングストッパーとしてSiN膜を設けてもよい。

【0189】次に、図24(e)に示すように、シリコン酸化膜106、108をマスクとし、シリコン酸化膜102をエッチングストッパーとして用いて、RIE等によりシリコン窒化膜103を異方性エッチングする。このとき、順テーパー状の溝部104内のシリコン酸化膜106と基板101との間には、シリコン窒化膜10

3がエッチングされずに残留する。すなわち、ソース・ドレイン電極が形成される領域の周囲に、SiN側壁を自己整合的に形成することができる。したがって、本実施形態によると、SiN側壁を別途形成する必要がない。また、側壁を十分に厚く及びSTI領域を狭く形成する場合は、図24(f)に示すように溝部104を形成すればよい。すなわち、シリコン窒化膜103をデーパーエッチングし、基板101を矩形上にエッチングすればよい。

【0190】その後、シリコン窒化膜102の露出部を希フッ酸等を用いたウェットエッチングにより除去する。さらに、図25(e)に示すように、基板101の露出面上にシリコンを選択エピタキシャル成長させて、結晶シリコン膜130を形成する。基板101の露出面の外周部がシリコン窒化膜で覆われている場合、上記エピタキシャル成長の際にファセット成長のような異常成長を生ずる。それに対し、本実施形態においては、基板101の露出面の外周部はSiN膜で覆われているため、結晶シリコン膜130を、異常成長を生ずることなく、均一且つ十分な厚さに形成することができる。続いて、結晶シリコン膜130の表面に熱酸化膜131を形成する。熱酸化膜131は、後の工程でエッチングストッパーとして用いられる。

【0191】次に、結晶シリコン膜130にイオン注入法等により導電性不純物を注入し、さらに活性化を行う。なお、上述した工程の代わりに、導電性不純物とシリコンとの混合物をエピタキシャル成長させてもよい。また、コンゲブ構造が必要とされない場合は、上記エピタキシャル成長は行わない。さらに、ここで、エクステンションを形成する場合は、イオン注入を行ってエクステンションを形成した後に、シリコン酸化物等からなる側壁を形成し、その後、不純物濃度の高い拡散領域を形成し、さらにその側壁をウェットエッチング等により除去すればよい。この側壁を、通常のシリコン酸化物よりもエッチングレートの速いBPSG等を用いて形成することにより、短時間のエッチング処理で側壁を除去することができる。したがって、シリコン窒化膜106を過剰に除去せずに済む。また、不純物濃度の高い拡散領域の形成には、エクステンションの形成に比べて、より高い活性化温度が必要である。したがって、側壁を形成した後、先に不純物濃度の高い拡散領域を形成し、側壁を除去後、より浅い接合領域であるエクステンションを形成するためのイオン注入と活性化とを行ってもよい。これにより、より浅い接合を形成することができる。

【0192】次に、図25(h)に示すように、CVD法によりポリシリコン膜111を形成する。さらに、図25(i)に示すように、CMP技術またはレジスト・エッチバック技術を用いてポリシリコン膜111を平坦化する。この平坦化は、シリコン窒化膜108が露出するまで行う。以上のようにして、ゲート配線を形成する

領域を除く全ての領域をポリシリコン膜111で被覆する。このポリシリコン膜111をマスクとして用いることにより、ゲート配線を形成する領域に対応した溝部を形成することが可能となる。

【0193】その後、図25(j)に示すように、ポリシリコン膜111をマスクとして用いて、RIE法等によりシリコン窒化膜108を除去する。

【0194】さらに、図25(k)に示すように、シリコン窒化膜103及びポリシリコン膜111をマスクとして用いて、RIE法等によりシリコン窒化膜106をエッチングする。このエッチングは、チャネルエッジが露出しない程度で停止する。

【0195】次に、図25(l)に示すように、ポリシリコン膜111及び熱酸化膜102をマスクとして用いて、RIE法等によりシリコン窒化膜103の露出部を異方性エッチングする。このとき、シリコン窒化膜103とポリシリコン膜111との間のエッチング選択比が不十分である場合、RIEを行う前にポリシリコン膜111の表面に熱酸化膜を形成する。これにより、十分なエッチング選択比を得ることができる。

【0196】次に、図26(m)に示すように、熱酸化膜102を希フッ酸等を用いて除去し、さらにゲート絶縁膜132を形成する。ゲート絶縁膜132は、熱酸化により形成してもよく、CVD法等により形成してもよい。その後、抵抗率の低い材料、例えばWからなる膜113を形成する。ここで、バリア層が必要である場合は、ゲート絶縁膜132上にバリア層を形成した後に、W膜113を形成する。また、ゲート絶縁膜132を形成する前に、薄い熱酸化膜を形成しこれを除去するか、或いは水素アニール等を行ってもよい。これにより、結晶シリコン膜130のエッジ部を丸めることができる。また、チャネル領域へのイオン注入をゲート絶縁膜132を形成する直前に行うことにより、素子領域の所望の部分のみに不純物濃度の高いチャネル領域を形成することができる。したがって、ソース・ドレイン拡散層の接合容量を低減させることが可能である。

【0197】さらに、図26(n)に示すように、ゲート絶縁膜132を形成する前にイオン注入法等を用いて不純物濃度の高いチャネル領域133を形成し、続いて選択エピタキシャル成長法によりSiやSi-Geからなる膜134を形成してもよい。これにより、レトログレードチャネル構造のMOSFETを得ることができる。ここで、上記選択エピタキシャル成長の際に、ポリシリコン膜111上にもSiやSi-Geがエピタキシャル成長する可能性があるが、これは後でポリシリコン膜111をエッチングする際に同時に除去されるので問題とはならない。なお、図26(n)は溝部を拡大して示す図である。

【0198】次に、図26(o)に示すように、W膜113をCMP法或いはレジストエッチバック技術等を用

いて平坦化する。この平坦化は、ポリシリコン膜111が露出するまで行う。

【0199】その後、図26(p)に示すように、シリコン酸化膜106、W膜113、及びゲート絶縁膜132をマスクとして用いて、RIE法等によりポリシリコン膜111をエッチングする。このエッチングは、異方性エッチングである必要はなく、ラジカル原子を用いたエッチングでもよい。したがって、ゲートエッジ部にダメージを与えずに済む。また、ここで、ダメージを受けたゲートエッジ部をリペアする場合は、水素、水、及び窒素を含有する雰囲気下で酸化処理を行うことにより、W膜113を酸化させることなく結晶シリコン膜130のゲートエッジ部をリペアすることができる。

【0200】次に、図26(q)に示すように、SiN膜を形成し、これにRIEを行うことにより、ソース・ドレイン電極とゲート電極との間の電氣的短絡を防止するためのSiN側壁110を形成する。続いて、熱酸化膜131を、希フッ酸を用いて或いはドライエッチングにより除去する。側壁110をSiNで構成する代わりに、より誘電率の低いシリコン酸化物等で構成してもよい。このような材料を用いることにより、ソース・ドレイン電極とゲート電極との間の寄生容量を低減することができる。また、図25(e)に示す工程において結晶シリコン膜130に導電性不純物をドーピングしたが、ゲート電極をW等の高融点金属で構成する場合は、図26(p)及び(q)に示す工程の後にイオン注入を行い、さらに活性化のためのアニールを施すことにより、図26(m)及び(n)に関して説明した熱処理を不要とすることができる。したがって、より浅い接合を形成することが可能となる。

【0201】その後、図26(r)に示すように、Al膜135を形成し、CMP法或いはレジストエッチバック技術等を用いて平坦化する。この平坦化は、シリコン酸化膜106が露出するまで行う。このようにして、ソース・ドレイン電極を形成する。なお、バリア層が必要とされる場合は、バリア層を形成した後Al膜135を形成すればよい。

【0202】以上のようにして、ハーフ・コンケープ型のMOSFETを得ることができる。

【0203】また、本実施形態によると、複数のハーフ・コンケープ型のMOSFETを同時に形成する際に、あるMOSFETのソース電極と他のMOSFETのドレイン電極との電氣的接続、或いはあるMOSFETのソース電極またはドレイン電極と他のMOSFETのゲート電極との電氣的接続を行うことができる。その方法を以下に説明する。

【0204】まず、図26(q)に示す工程を終えた後、図27(s)に示すように、レジスト膜136を形成し、これにリソグラフィ技術を用いて開口部を形成する。次に、ラジカル原子を用いたエッチング等によ

り、シリコン酸化膜103の一部及びSiNからなる側壁110を除去する。続いて、シリコン酸化膜106をRIE技術等を用いて結晶シリコン膜130とほぼ同じ高さとなるようにエッチングする。なお、このエッチング量は、後で形成される配線の厚さに関係している。したがって、配線を低抵抗化する必要性が低い場合は上述したのよりもエッチング量を少なめに設定してもよい。

【0205】次に、レジスト膜136を除去する。さらに、図27(q)及び(r)に示す工程を実施することにより、図27(t)に示す半導体装置を得ることができる。

【0206】以上示したように、本実施形態によると、複数のハーフ・コンケープ型のMOSFETの形成と、あるMOSFETのソース電極と他のMOSFETのドレイン電極との電氣的接続、或いはあるMOSFETのソース電極またはドレイン電極と他のMOSFETのゲート電極との電氣的接続とを同時に行うことができる。

【0207】また、本実施形態によると、ゲート電極上のみにシリコン酸化膜を形成することが可能である。以下に、その方法とそれにより得られる効果について説明する。

【0208】まず、図26(o)に示す工程を終えた後、図27(u)に示すように、RIE或いはSH処理を施すことにより、W膜113をエッチバックする。次に、図27(v)に示すように、シリコン酸化膜137を形成し、CMP法或いはレジストエッチバック技術等を用いて平坦化する。この平坦化は、ポリシリコン膜111が露出するまで行う。

【0209】その後、図26(p)～(r)に示す工程を実施することにより、図27(w)に示す半導体装置を得ることができる。以上のようにしてゲート電極上にのみシリコン酸化膜137を形成した半導体装置においては、ゲート電極とソース・ドレイン電極との間の電氣的短絡が生じにくい。その理由を図27(x)を参照しながら説明する。

【0210】図27(x)においては、図27(w)に示すMOSFETの上にシリコン酸化膜等の絶縁膜138が形成されている。この絶縁膜138に、ソース・ドレイン電極との接続を図るために開口部を形成するには、絶縁膜138上にレジスト膜(図示せず)を形成し、リソグラフィ技術を用いる必要がある。ここで、例えば、位置合わせにずれが生じると、ゲート電極113の上方に位置する絶縁膜138も開口されることがある。このような場合、絶縁膜138の開口部をAl等の金属139で埋め込むと、ゲート電極113とソース・ドレイン電極135との間で電氣的短絡が生ずる。それに対し、図27(x)に示すように、ゲート電極113上にのみシリコン酸化膜137を形成した場合、ゲート電極113はシリコン酸化膜137で覆われているので、開口部を金属139で埋め込んでもゲート電極11

3とソース・ドレイン電極135との間で電気的短絡を生ずることはない。また、ゲート絶縁膜132がシリコン酸化膜である場合は、上記開口部を形成する際にその一部がエッチングされる。しかしながら、ゲート電極の上面はソース・ドレイン電極の上面よりも下方に位置するので、ゲート絶縁膜132を過度にエッチングすることなく、開口部を形成することができる。

【0211】次に、本発明の第12の実施形態について説明する。第9の実施形態においては、エレベティッドソース・ドレイン構造を採用し、かつシリサイドを用いることにより、ソース・ドレイン・ゲート電極の低抵抗率化を行った。しかしながら、シリサイドを用いることなく低抵抗率化を実現することが可能であれば、必ずしもエレベティッドソース・ドレイン構造を採用する必要はない。本実施形態においては、エレベティッドソース・ドレイン構造を採用せずに、ゲート電極をポリメタル構造とし、ソース・ドレイン電極をWやAl等で構成する。

【0212】図28及び図29に、本発明の第12の実施形態に係る半導体装置の製造工程を概略的に示す。なお、図28及び図29において、(e)～(h)は断面図である。

【0213】まず、第9の実施形態の図13(e)～(f)及び図14(g)～(i)に関して説明したのと同様の工程を実施する。ただし、ポリシリコン膜103への導電性不純物のドーピング及び活性化は、図13(e)に示す工程の後に行う。

【0214】次に、図28(e)に示すようにW膜111を形成する。バリア層が必要である場合は、バリア層を形成した後W膜111を形成する。その後、図28(b)に示すように、CMP技術等を用いてW膜111を平坦化する。以上のようにして、ゲート配線を形成する領域を除く全ての領域をW膜111で被覆する。

【0215】その後、図28(e)に示すように、W膜111をマスクとして用いて、ラジカルエッチング或いはRIEにより、側壁110の一部及びSiN膜108を除去する。このとき、熱酸化膜107はエッチングストッパーとして機能する。

【0216】さらに、図28(d)に示すように、シリコン酸化膜106をRIE等により除去し、さらにポリシリコン膜103をエッチバックする。ここで、ポリシリコン膜103は、ゲート電極をポリシリコンとメタルとの積層構造とするために、完全には除去しない。次に、図28(e)に示すように、W膜111、側壁110、ポリシリコン膜103をマスクとして用いて、シリコン酸化膜106等のエッチングを行う。シリコン酸化膜106の除去は、チャネルエッジが露出しない程度に、すなわち熱酸化膜102の側面が露出しない程度とする。

【0217】次に、図28(f)に示すように、Al膜

113を成膜し、CMP法等を用いて平坦化を行う。ここで、バリア層が必要とされる場合は、バリア層を形成した後Al膜113を形成すればよい。また、この平坦化は、シリコン酸化膜106が露出するまで行う。以上のようにして、ゲート電極がポリシリコンとAlとを積層したポリメタル構造であり、ソース・ドレイン電極がWで構成されたMOSFETを得ることができる。

【0218】また、本実施形態によると、第10の実施形態と同様に、複数のMOSFETを形成する際に、あるMOSFETのソース電極と他のMOSFETのドレイン電極との電気的接続、或いはあるMOSFETのソース電極またはドレイン電極と他のMOSFETのゲート電極との電気的接続を同時に行うことが可能である。以下、図29(e)及び(h)を参照しながら説明する。

【0219】まず、上述した方法により図28(d)に示す構造を得る。次に、図29(e)に示すように、レジスト膜120を形成し、リソグラフィ技術を用いてそれに開口部を形成する。その後、シリコン酸化膜106をエッチングストッパーとして用いて、W膜111のエッチングを行う。続いて、SiNからなる側壁110をポリシリコン膜103とほぼ同じ高さとなるまでエッチバックする。

【0220】次に、レジスト膜120を除去した後、図28(e)及び(f)に関して説明した工程を実施する。これにより、図29(h)に示すように、複数のMOSFETの形成と、例えば、あるMOSFETのソース電極またはドレイン電極と他のMOSFETのゲート電極との電気的接続とを同時に行うことが可能となる。

【0221】次に、本発明の第13の実施形態について説明する。第9及び第12の実施形態においては、CMP法を用いた平坦化工程をそれぞれ3回実施した。それに対し、本実施形態によると、レジスト・リセス技術を用いることにより、上記平坦化工程を2回とすることが可能となる。以下に、図30を参照しながら説明する。

【0222】第12の実施形態においては、図28(a)及び(b)に示す工程において、ゲート配線領域以外の領域が全て被覆されるようにW膜111を形成した。第12の実施形態は、このW膜111をマスクとして用いてSiN膜108のエッチングを行っている。それに対し、本実施形態によると、W膜111の代わりに、図30(a)に示すようにレジスト膜111Aが用いられる。

【0223】すなわち、まず、第9の実施形態の図13(a)～(f)及び図14(g)～(i)に関して説明したのと同様の工程を実施する。ただし、ポリシリコン膜103への導電性不純物のドーピング及び活性化は、図13(e)に示す工程の後に行う。

【0224】次に、図30(a)に示すようにレジスト膜111Aを形成する。その後、露光量を適当に制御し

てレジスト・リセスを行い、S i N膜108を露出させる。以上のようにして開口部を形成したレジスト膜111Aをマスクとして用いることにより、S i N膜108を選択的にエッチングすることが可能となる。

【0225】さらに、第12の実施形態において図28(d)及び(e)に関して説明した工程を実施する。その後、レジスト膜111Aを除去し、第12の実施形態において図28(f)に関して説明した工程を実施することにより、図30(b)に示すように、ソース・ドレイン・ゲート電極がA1で構成されたMOSFETを得る。

【0226】本実施形態においては、第9、第11、及び第12の実施形態とは異なり、S i N膜108をエッチングする際に用いるマスクをレジストで構成した。そのため、本実施形態においては、マスクに開口部を形成するために平坦化工程を実施する必要はない。したがって、本実施形態によると、CMP工程を減らすことが可能となり、製造コストを低減することが可能となる。

【0227】次に、上記第9～第13の実施形態に共通するプロセスについて、図31を参照しながら説明する。なお、図31(a)及び(b)は、本発明の第9～第13の実施形態に係る半導体装置の製造方法を概略的に示す図である。

【0228】第9～第13の実施形態によると、ソース・ドレイン電極を埋め込み形成するための溝部とゲート電極を埋め込み形成するための溝部とがそれぞれ別々の工程において形成される。すなわち、まず、図31(e)に示すように、基板の一方の主面に深さの異なる2種類の溝部を形成する。なお、図31(e)において、R1はソース・ドレイン電極が形成される領域を示し、R2はゲート電極が形成される領域を示し、R3は素子分離領域を示している。

【0229】次に、図31(b)に示すように、それぞれの溝部を、マスク材料M1で埋め込む。マスク材料M1は、領域R2が材料M1に対して選択的に除去されるように選ぶ。さらに、平坦化工程を実施することにより、領域R2を露出させる。

【0230】その後、材料M1からなる薄膜をマスクとして用いて、領域R2に溝部を形成する。このようにして形成した溝部を、ゲート配線を形成するために用いられる材料(図示せず)で埋め込み、さらに、平坦化工程を実施することにより、素子分離領域R3を露出させる。

【0231】ここで、マスク材料M1がソース・ドレイン電極に用いられる電極材料である場合は、上記工程を終了することによりMOSFETを得る。また、マスク材料M1が除去されるべき材料である場合は、マスク材料M1を除去した後、それにより形成される溝部を電極材料で埋め込み、さらに平坦化工程を実施する。以上のようにして、MOSFETを得る。

【0232】このように、本発明の第9～第13の実施形態に係る半導体装置の製造方法によると、ゲート配線、ソース電極、及びドレイン電極を自己整合的に形成することができる。なお、第9及び第12の実施形態においては材料M1にポリシリコン及びWをそれぞれ用い、これら材料M1でソース・ドレイン電極を構成した。また、第11及び第13の実施形態においては、材料M1にポリシリコン及びレジストをそれぞれ用い、これら材料M1を除去した後ソース・ドレイン電極を形成した。なお、第13の実施形態においては、ゲート絶縁膜を形成した後に、ゲート配線、ソース電極及びドレイン電極を同時に埋め込み形成した。

【0233】また、以上示した第9～第13の実施形態によると、ソース・ドレイン電極の形成に先立って、ゲート構造と素子分離絶縁膜とがそれらの上面の高さが等しくなるように、及びゲート構造と交差し且つゲート構造に分断された溝部が形成されるように形成される。ソース・ドレイン電極は、第1～第8の実施形態と同様に、上記溝部内に形成されるので、第9～第13の実施形態によると、個々に説明した効果の他に、第1～第8の実施形態において説明したのと同様の効果を得ることができる。なお、上記第9～第13の実施形態において、同一番号が付された構成要素は、特に説明がない限り実質的に同一である。

【0234】上述した第1～第13の実施形態においては、素子分離領域は、その上面がソース・ドレイン電極が形成される領域の底面よりも高くなるように形成される。以下に、このように構成することにより生ずる効果について、図32及び図33を参照しながらより詳細に説明する。

【0235】図32(a)は、MOSFETの従来の製造方法を概略的に示す断面図である。また、図32(b)は、本発明の第1～第13の実施形態に係るMOSFETの製造方法を概略的に示す断面図である。なお、図32(a)及び(b)は、エレベティッドソース・ドレイン構造を有するMOSFETを製造するための、途中工程を示している。

【0236】また、図33(a)及び(b)は、それぞれ図32(a)及び(b)に示すMOSFETの素子分離領域の幅とショットイールドとの関係を示すグラフである。なお、図中、横軸は素子分離領域106の幅d1或いはd2を示し、縦軸はショットイールドを示している。

【0237】図32(e)に示すように、従来は、基板101の表面領域中に完全に埋め込まれるように素子分離領域106を形成していた。そのため、選択エピタキシャル成長法により基板101上に結晶シリコン膜130を形成した場合、結晶シリコン膜130は横方向にも成長していた。例えば、結晶シリコン膜130の厚さt1を50nmとした場合、結晶シリコン膜130は横方

向にも50nm程度成長してしまう。そのため、図33(e)に示すように、素子分離領域106の幅d1を0.2μmよりも狭くすることにより歩留まりが低下し始め、幅d1を0.1μm以下とした場合には歩留まりがほぼ0%となってしまふ。すなわち、ほぼ全ての隣接するMOSFET間でショートが生じてしまふ。さらに、従来の方法において厚さt1を100nmとすると、幅d1は少なくとも0.3μm程度は必要となる。

【0238】これに対し、図32(b)に示すように、素子分離領域106をその上面が基板表面よりも高くなるように形成した場合、隣接するMOSFET間でのショートは生じない。すなわち、図33(b)に示すように、素子分離領域106の幅d2を0.1μmまで狭くしても、結晶シリコン膜130の厚さt2に依存することなく、高い歩留まりを得ることができるのである。

【0239】将来、半導体装置において配線は0.1μm程度の幅に形成されることが考えられる。このような場合、幅d1 或いはd2を0.15μm程度まで低減することが必要である。また、ソース電極、ドレイン電極及びゲート配線をコバルトシリサイドで構成する場合、低抵抗化を実現するために、それらの厚さを50nm以上とする必要があるとされている。

【0240】ここで、厚さ50nmのシリサイド膜を形成する際に、ほぼ50nm程度の厚さの結晶シリコン膜が消費される。したがって、30nm程度の浅い接合を実現し、かつソース部及びドレイン部におけるシリサイドによる接合リークを抑制するためには、厚さt1 或いはt2を50nm以上とすることが必要である。

【0241】しかしながら、幅d1を0.15μmとした場合、従来技術を用いて厚さ50nmの結晶シリコン膜130を形成すると、高い歩留まりを得ることができない。高い歩留まりを得るためには、幅d1を0.2μm以上とすることが必要である。これは、集積度を、配線幅が0.15μm程度である半導体装置において実現されている集積度よりも高めることができないことを意味する。また、微細化をより進めた場合、さらに低抵抗化が求められるため、シリサイド膜の厚さを厚くすることが必要となる。この場合、従来の方法によると、さらに幅d1を広げることが必要である。このように、従来の方法によると、微細化を進めるにつれて、集積度が低下してしまう。

【0242】これに対し、本発明の第1～第13の実施形態によると、歩留まりは、素子分離領域106の幅d2及び結晶シリコン膜130の厚さt2に依存しない。したがって、歩留まりの低下を生ずることなく、集積度を向上させることが可能となる。

【0243】さらに、従来の方法を用いた場合、ソース電極及びドレイン電極を自己整合的に形成する場合、これらをシリサイドで構成するしかなかった。それに対し、本発明の第1～第13の実施形態によると、シリサ

イドに比べてより抵抗率の低いW、Al、及びCu等の低抵抗金属を用いることができる。シリサイドを用いた場合、接合リークを防止するために、結晶シリコン膜130を厚く形成することが必要である。それに対し、上記低抵抗金属を用いた場合、シリサイドを用いた場合ほど結晶シリコン膜130を厚く形成する必要がない。

【0244】次に、本発明の第14の実施形態について説明する。なお、以下、NMO Sの製造方法について説明するが、不純物の導電型を逆にすることで、同様の方法によりPMOSも製造することができる。

【0245】図34～図36に、本発明の第14の実施形態に係る半導体装置の製造工程を概略的に示す。なお、図34～図36において、(a)～(k)は断面図である。

【0246】まず、図34(a)に示すように、基板201の一方の主面の表面領域にトレンチ素子分離206を形成する。なお、基板201はp型シリコン基板或いはp型ウェル領域を形成したシリコン基板である。また、素子分離206は、必ずしもトレンチ型である必要はなく、LOCOS法によるものでも構わない。次に、基板201上に厚さ8nm程度の酸化膜202を形成する。さらに、酸化膜202上にSi3N4等の材料からなる薄膜203を形成する。

【0247】次に、図34(b)に示すように、薄膜203をパターニングしてダミーゲート配線を形成する。さらに、酸化膜202の露出部を希フッ酸等を含有する液を用いて除去する。

【0248】その後、図34(c)に示すように、基板201の露出部をシードとして用いて、シリコンの選択エピタキシャル成長を行う。それにより、厚さ20nm程度の結晶シリコン膜204'を形成する。次に、図34(d)に示すように、結晶シリコン膜204'及びダミーゲート配線203上に厚さ10nm程度のSiO2等からなる絶縁膜205を形成する。さらに、加速エネルギーを20KeVとして、結晶シリコン膜204'にAs+イオンを $1 \times 10^{14} \text{ cm}^{-2}$ 程度の濃度で注入することにより不純物拡散領域を形成する。

【0249】次に、図35(e)に示すように、ダミーゲート配線203の側面上に、絶縁膜205を介してSi3N4等の絶縁体からなるゲート側壁207を形成する。その後、ゲート側壁207をマスクとして用いて、結晶シリコン膜204'にAs+イオン等をイオン注入する。それにより、ゲート側壁207の下方にエクステンション204を形成し、さらに、エクステンション204と隣接してn+拡散領域208を形成する。なお、エクステンション204は、n+拡散領域208に比べて薄く形成されている。また、エクステンション204とn+拡散領域208とはソース・ドレイン拡散層を構成している。

【0250】この工程において、絶縁膜205はゲート

側壁207を形成時に行うエッチングのエッチングストッパーとして用いられるだけでなく、 $n^+$ 拡散領域208を形成するためのイオン注入時にチャネリングの発生を防止する役割をも果たす。以上のようにして形成した $n^+$ 拡散領域208の実効的な深さ、すなわち酸化膜202からの深さは、実際の深さに比べてエクステンション204の厚さだけ浅くなる。ここで、SALICID法を用いて、ソース・ドレイン領域上にシリサイド膜を形成する場合は、上記工程を実施後、絶縁膜205の露出部を除去し、TiやCo等の金属からなる金属膜

(図示せず)を形成する。さらに、この金属と $n^+$ 拡散領域208を構成するSiとをRTA等により反応させ、未反応の金属を硫酸と過酸化水素とを含有する混合液等で除去する。以上の過程にしてシリサイド膜を形成することができる。

【0251】次に、図35(f)に示すように、基板201の $n^+$ 拡散領域208を形成した面の全体に、SiO<sub>2</sub>等からなる絶縁膜209を形成する。さらに、図35(g)に示すように、CMP法等を用いてその表面の平滑化を行う。この平滑化は、ゲート側壁207が露出しないように、及びダミーゲート配線203の上面が露出するように行う。

【0252】その後、図35(h)に示すように、ダミーゲート配線203を除去する。本例のように、ダミーゲート配線203がSi<sub>3</sub>N<sub>4</sub>で構成され、絶縁膜209がSiO<sub>2</sub>で構成される場合は、熱リン酸を用いることによりダミーゲート配線203のみを選択的に除去することができる。また、本例においては、ダミーゲート配線203をSi<sub>3</sub>N<sub>4</sub>で構成し、絶縁膜205をSiO<sub>2</sub>で構成し、絶縁膜209をSiO<sub>2</sub>で構成したが、図35(e)に示す状態においてダミーゲート配線203のみを選択的に除去することが可能であれば、他の材料を用いてもよい。ただし、ダミーゲート配線203を除去する際に、チャネル部にダメージを与えることなくダミーゲート配線のみを選択的にエッチングすることが可能であることが望ましい。また、ここで、トランジスタの閾値を調節するために、イオン注入を行ってもよい。この場合、チャネル部にのみ選択的にイオン注入を行うことができるため、ソース・ドレイン拡散層の接合容量を増大させることがない。

【0253】次に、図36(i)に示すように、絶縁膜205の露出部及び酸化膜202を希フッ酸を含有する液等を用いて除去する。さらに、図36(j)に示すように、ゲート絶縁膜210、反応防止層211、及びゲート電極材料膜212を順次積層する。

【0254】ゲート絶縁膜210は、例えばTa<sub>2</sub>O<sub>5</sub>やBSTのような高誘電体化合物であることが好ましい。また、ゲート絶縁膜210は、CVD法を用いて形成することが好ましい。CVD法を用いることにより、ゲート絶縁膜210を溝部の形状に対応した形状に形成

することができる。

【0255】反応防止層211は、ゲート絶縁膜210とゲート電極材料膜212との間の反応を防止するために設けられる。したがって、ゲート絶縁膜210とゲート電極材料膜212とが熱的な反応を生じにくい、或いはゲート電極材料がゲート絶縁膜210中への拡散を生じにくい場合、反応防止層211は必ずしも設ける必要はない。反応防止層211を構成する材料は、ゲート絶縁膜210を構成する材料とゲート電極材料との組み合わせに応じて決定されるべきである。反応防止層は、一般に、TiN、Ta<sub>2</sub>N及びWN<sub>x</sub>等の金属窒化物や、金属と窒素とシリコンとを含有する三元系化合物等で構成される。

【0256】ゲート電極材料膜212は、WやAl等の金属を主成分とする材料で構成されることが好ましい。また、ゲート電極材料膜212は、CVD法を用いて形成することが好ましい。CVD法を用いた場合、ゲート電極材料膜212を良好な形状に形成することが可能となる。また、ゲート電極材料膜212を良好な形状に形成することが可能であれば、PVD法を用いてもよい。

【0257】また、以下の方法を用いることによりゲート電極材料膜212をAlで構成することができる。すなわち、まず、減圧CVD法を用いて溝部をアモルファスシリコンで埋め込み、さらにその上にAl及びTiを堆積する。次に、これを450℃程度の温度に加熱する。それにより、溝部中のSiはAl層中に拡散する。拡散したSiはTiと反応して、TiSi<sub>x</sub>を形成する。TiSi<sub>x</sub>は安定な化合物であるSiはTi中に固定され、その結果、溝部内のSiはAlで置換される。

【0258】図36(j)に示す工程を実施した後、図36(k)に示すように、CMP法等を用いて平坦化を行う。この平坦化は、絶縁膜209が露出するように行う。このようにして、溝部内にゲート電極212を形成する。

【0259】以上示した本発明の第14の実施形態によると、ソース・ドレイン領域とゲート電極との重なりを非常に小さくすることができるので、ゲート電極とソース・ドレイン領域との間の寄生容量を低減することができる。さらに、第14の実施形態によると、ソース・ドレイン領域は十分な厚さで形成され、かつその実効的な深さは浅く制御される。したがって、サイズを微小した場合においても、パナチスルーの発生を防止することが可能となる。

【0260】次に、本発明の第15の実施形態について説明する。本実施形態においてはCMOSが作製され、エクステンションを形成するための導電性不純物のドーピング方法が第14の実施形態とは異なる。

【0261】図37に、本発明の第15の実施形態に係る半導体装置の製造工程を概略的に示す。なお、図37において(a)～(d)は断面図である。

【0262】まず、図37(e)に示すように、シリコン基板201の表面領域に、素子分離206、p型ウェル領域221、及びn型ウェル領域222を形成する。次に、基板201の素子分離206等を形成した面上に、酸化膜202及びSi<sub>3</sub>N<sub>4</sub>等の材料からなる薄膜203を順次形成する。

【0263】さらに、図37(b)に示すように、p型ウェル領域221上に位置する薄膜203をパターニングして、ダミーゲート配線203Aを形成する。その後、図37(c)に示すように、酸化膜202の露出部を希フッ酸を含有する液等を用いて除去する。次に、それにより露出した基板201の表面をシードとして用いてシリコンの選択エピタキシャル成長を行い、厚さ20nm程度の結晶シリコン膜204Aを形成する。なお、この選択エピタキシャル成長を、AsH<sub>3</sub>及びPH<sub>3</sub>等のガスを含む雰囲気で行うことにより、結晶シリコン膜204A中にn型の不純物をドーピングする。その後、結晶シリコン膜204Aの表面を酸化するか、或いはCVD法等を用いることにより、厚さ10nm程度のシリコン酸化膜205を形成する。

【0264】次に、図37(d)に示すように、n型ウェル領域222上に位置する薄膜203をパターニングして、ダミーゲート配線203Bを形成する。その後、上述した方法により、酸化膜202の露出部を希フッ酸を含有する液等を用いて除去する。次に、それにより露出した基板201の表面をシードとして用いてシリコンの選択エピタキシャル成長を行い、厚さ20nm程度の結晶シリコン膜204Bを形成する。なお、この選択エピタキシャル成長を、B<sub>2</sub>H<sub>6</sub>等のガスを含む雰囲気で行うことにより、結晶シリコン膜204B中にp型の不純物をドーピングする。その後、結晶シリコン膜204Bの表面を酸化するか、或いはCVD法等を用いることにより、厚さ10nm程度のシリコン酸化膜(図示せず)を形成する。

【0265】次に、第14の実施形態において図35(f)～(h)及び図36(i)～(k)に関して説明した工程を実施することによりMISFETを得る。

【0266】以上説明した第15の実施形態によると、第14の実施形態において説明した効果を得ることができる。また、エクステンションを形成するためにイオン注入法を用いた場合、ゲート電極のパターニングとドーピングとにおいて、計3回のPEP(Photo Engraving Process)が必要である。それに対し、本実施形態によると、PEPを2回に削減することができる。また、イオン注入法を用いた場合、不純物濃度は基板表面から深部へ向けて低下するのに対し、本実施形態によると、導電性不純物の濃度勾配を生ずることはない。そのため、導電性不純物が均一かつ高い濃度で含有されたエクステンションを形成することができる。したがって、第15の実施形態によると、寄生抵抗をより低減することが可

能となる。

【0267】

【発明の効果】以上示したように、本発明によると、ソース・ドレイン電極の形成に先立ってゲート構造と素子分離絶縁膜とが形成される。これらゲート構造及び素子分離絶縁膜の形成は、ゲート構造の上面の高さが素子分離絶縁膜の上面の高さと等しい或いはより低くなるように、及びゲート構造と交差し且つゲート構造に断断された溝部が形成されるように行われる。また、ソース・ドレイン電極は上記溝部に自己整合的に形成される。したがって、本発明によると、隣接するトランジスタ間の絶縁状態を良好に維持することができ、高密度微細トランジスタを実現することが可能となる。

【0268】また、本発明によると、ソース・ドレイン領域とゲート電極との重なりを非常に小さくすることができるので、ゲート電極とソース・ドレイン領域との間の寄生容量を低減することができる。さらに、本発明によると、ソース・ドレイン領域を十分な厚さで形成し、かつその実効的な深さを浅く制御することができる。したがって、本発明によると、サイズを縮小した場合においても、パンチスルーの発生を防止することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る製造工程を概略的に示す斜視図。

【図2】本発明の第1の実施形態に係る製造工程を概略的に示す斜視図。

【図3】本発明の第1の実施形態に係る製造工程を概略的に示す図。

【図4】本発明の第1の実施形態に係る製造工程を概略的に示す断面図。

【図5】本発明の第1の実施形態に係る半導体装置を示す斜視図。

【図6】本発明の第2の実施形態に係る製造工程を概略的に示す断面図。

【図7】本発明の第3の実施形態に係る製造工程を概略的に示す斜視図。

【図8】本発明の第4の実施形態に係る製造工程を概略的に示す斜視図。

【図9】本発明の第4の実施形態に係る製造工程を概略的に示す斜視図。

【図10】本発明の第5の実施形態に係る製造工程を概略的に示す斜視図。

【図11】本発明の第7の実施形態に係る製造工程を概略的に示す図。

【図12】本発明の第8の実施形態に係る製造工程を概略的に示す斜視図。

【図13】本発明の第9の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図14】本発明の第9の実施形態に係る半導体装置の



製造工程を概略的に示す断面図。

【図 1.5】本発明の第 9 の実施形態に係る半導体装置の製造工程を概略的に示す図。

【図 1.6】本発明の第 10 の実施形態に係る半導体装置の製造工程を概略的に示す図。

【図 1.7】本発明の第 10 の実施形態に係る半導体装置の製造工程を概略的に示す図。

【図 1.8】本発明の第 10 の実施形態に係る半導体装置の製造工程を概略的に示す図。

【図 1.9】本発明の第 10 の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図 2.0】本発明の第 10 の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図 2.1】本発明の第 10 の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図 2.2】本発明の第 10 の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図 2.3】本発明の第 10 の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図 2.4】本発明の第 11 の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図 2.5】本発明の第 11 の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図 2.6】本発明の第 11 の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図 2.7】本発明の第 11 の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図 2.8】本発明の第 12 の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図 2.9】本発明の第 12 の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図 3.0】本発明の第 13 の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図 3.1】本発明の第 9 ～ 第 13 の実施形態に係る半導体装置の製造方法を概略的に示す図。

【図 3.2】従来の及び本発明の第 1 ～ 第 13 の実施形態に係る MOSFET の製造方法を概略的に示す断面図。

【図 3.3】従来の及び本発明の第 1 ～ 第 13 の実施形態に係る MOSFET の素子分離領域の幅とショートイールドとの関係を示すグラフ。

【図 3.4】本発明の第 14 の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図 3.5】本発明の第 14 の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図 3.6】本発明の第 14 の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図 3.7】本発明の第 15 の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

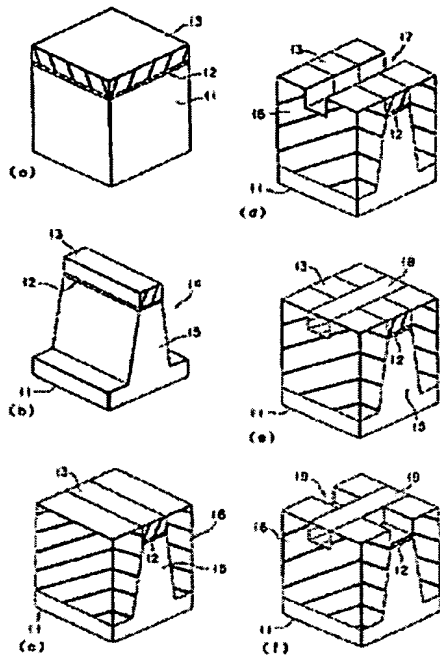
【図 3.8】従来の MOSFET を概略的に示す断面図。

【図 3.9】エレベティッドソース・ドレイン構造を有する従来の MOSFET の製造工程を概略的に示す断面図。

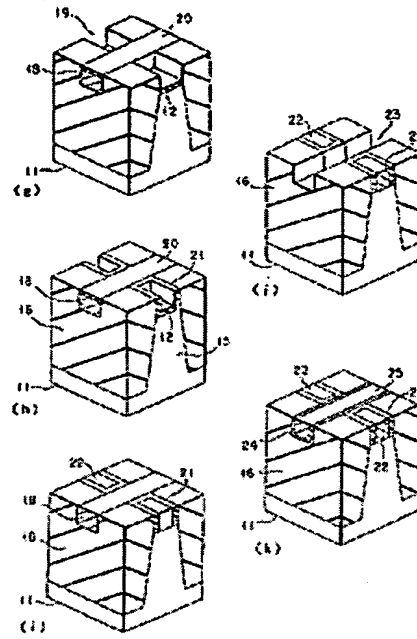
【符号の説明】

11, 101, 151, 201…基板  
12, 16, 20, 53, 102, 105…酸化膜  
107, 109, 131, 202, 106…酸化膜  
13, 21, 108, 137…シリコン窒化膜  
14, 17, 19, 23, 104, 112…溝部  
15, 152, 153…素子領域  
18, 52, 103, 111…ポリシリコン膜  
22, 130, 204, 204A, 204B…結晶シリコン膜  
22A…ラテラルグロウ上部  
24, 51, 132, 210…ゲート絶縁膜  
25…ゲート配線  
31…TEOS酸化膜、メタル材料膜  
32…シリコン窒化膜、アルミナ膜  
41, 42…TEOS酸化膜  
110, 207…側壁  
111A, 120, 136…レジスト膜  
114…シリサイド膜  
133…チャネル領域  
134…薄膜  
113…W膜  
135…Al膜  
138, 205, 209…絶縁膜  
139…金属  
154…素子分離領域  
155…ゲート配線パターン  
156…インバーター回路  
157…ワード線  
158…接合配線領域パターン  
170…フリップフロップ回路  
159, 160…接合配線  
161～163…コンタクト領域  
164…ビット線  
165…V+線  
166…V-線  
203, 203A, 203B…タミーゲート配線  
204…エクステンション  
206…トレンチ素子分離  
208…n+拡散領域  
211…反応防止層  
212…ゲート電極材料膜  
221, 222…ウエル領域

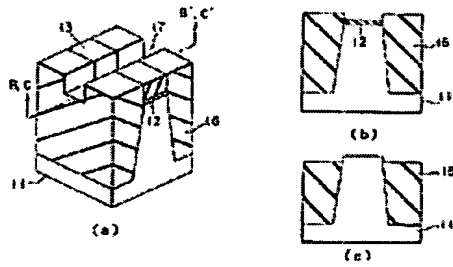
【図1】



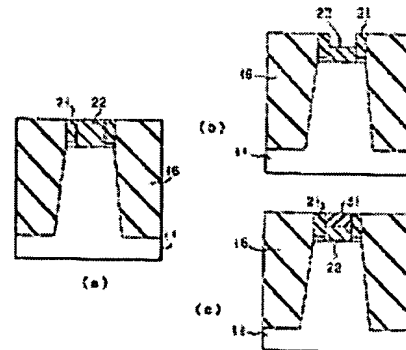
【図2】



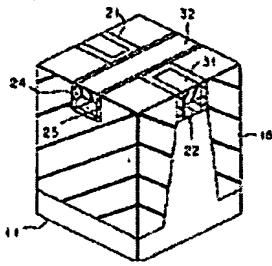
【図3】



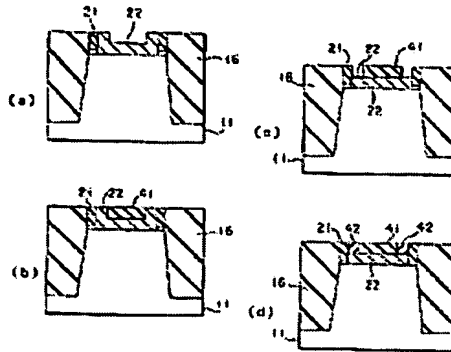
【図4】



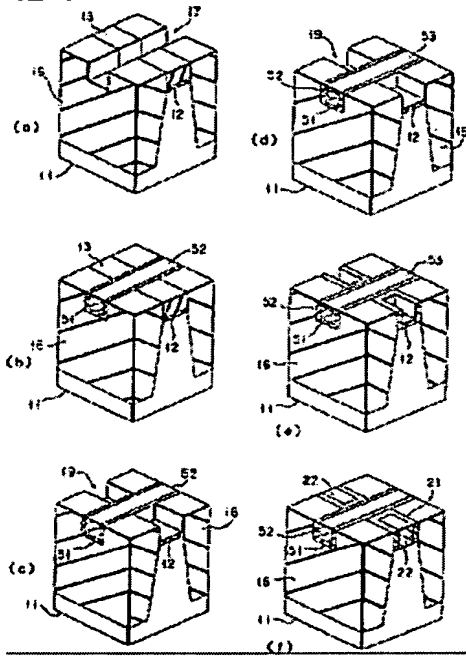
【図5】



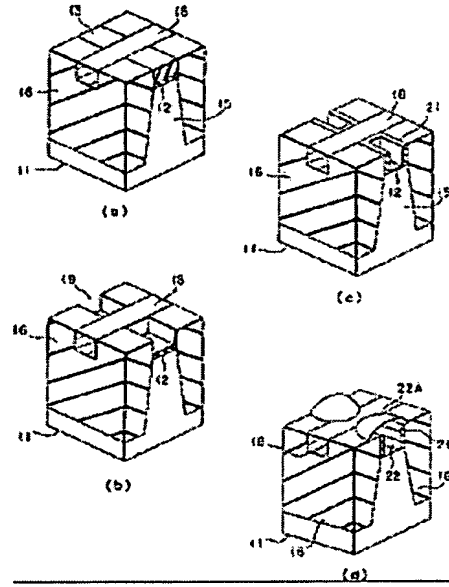
【図6】



【図7】

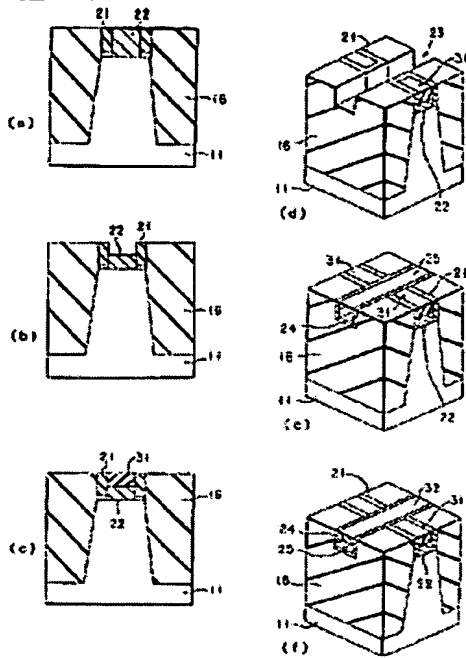


【図8】

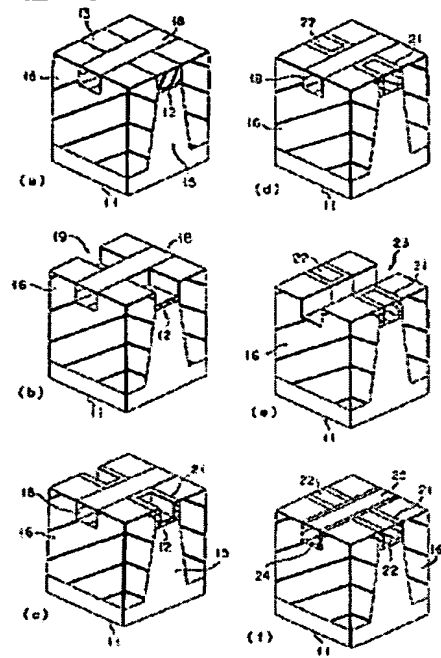




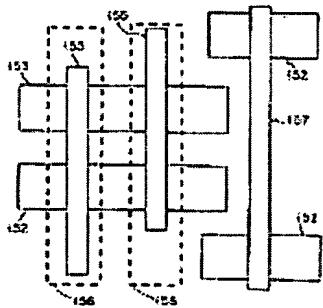
【図 11】



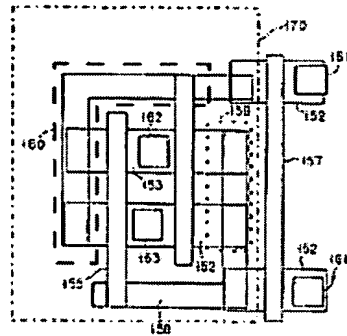
【図 12】



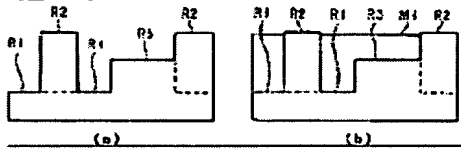
【図 20】



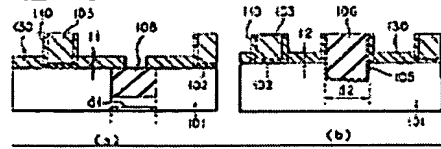
【図 21】



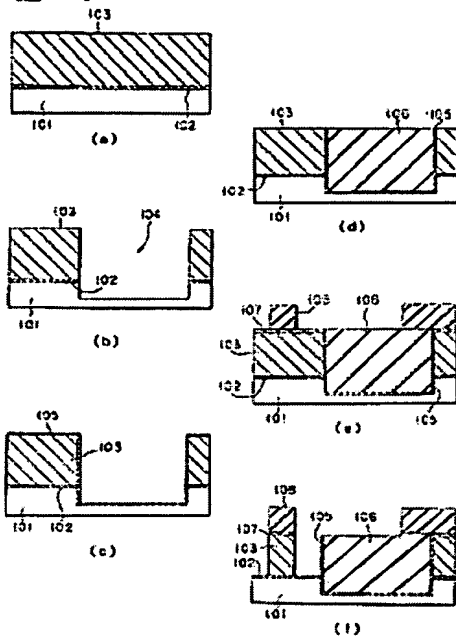
【図 31】



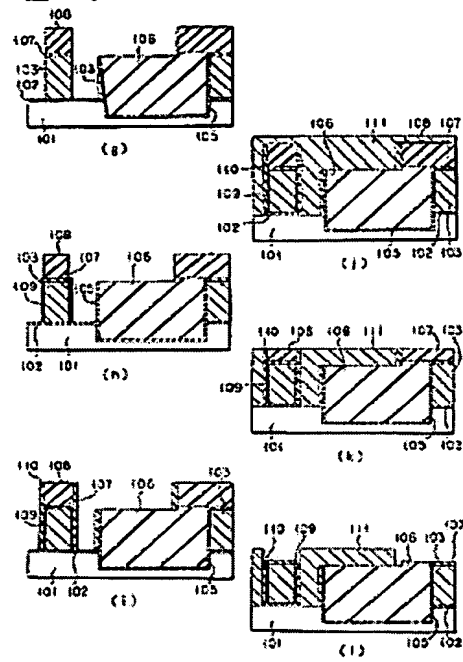
【図 32】



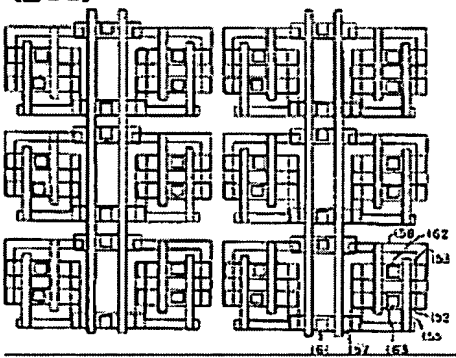
[图 13]



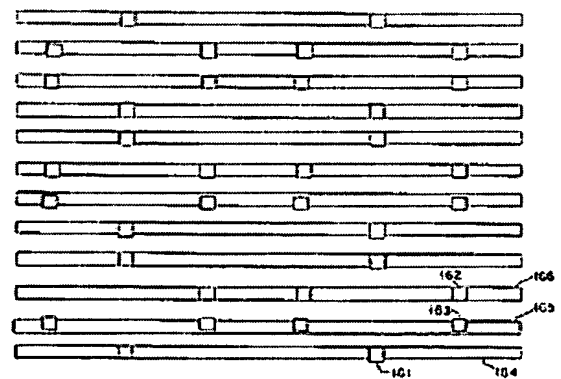
[图 14]



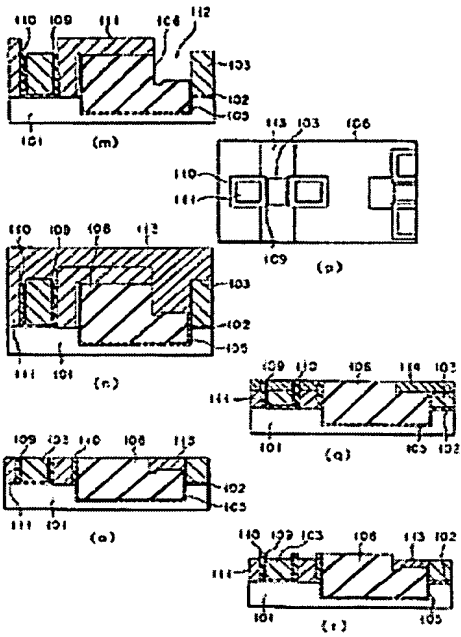
[图 22]



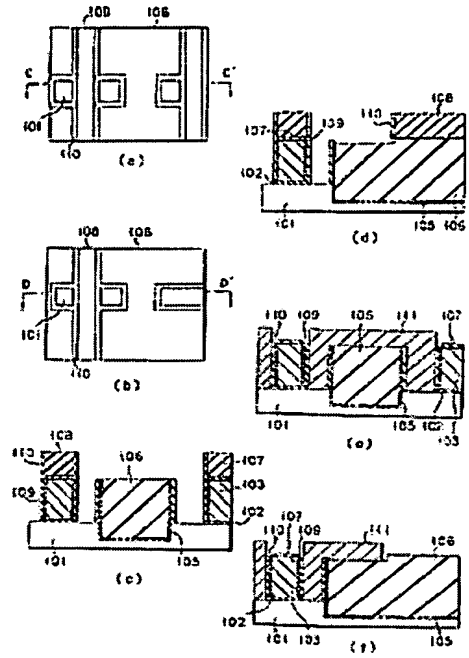
[图 23]



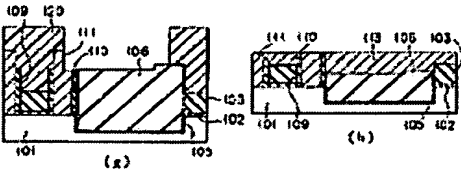
【图 15】



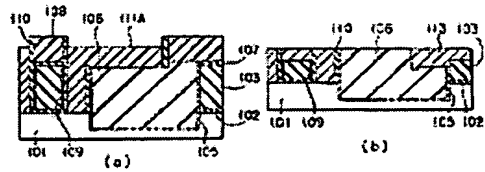
【图 16】



【图 29】



【图 30】



【图 38】

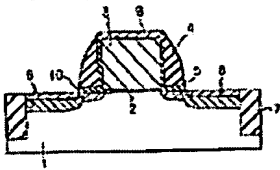


Figure 1 consists of five cross-sectional views of a semiconductor device, labeled (a) through (e), showing the progression of a manufacturing process. The views are as follows:

- (a)** A substrate 101 is shown with a layer 102 on top. A layer 103 is formed on top of 102, with a dashed line indicating an interface.
- (b)** The substrate 101 is shown with a layer 102 on top. A layer 103 is formed on top of 102, with a dashed line indicating an interface. A layer 104 is formed on top of 103, with a dashed line indicating an interface.
- (c)** The substrate 101 is shown with a layer 102 on top. A layer 103 is formed on top of 102, with a dashed line indicating an interface. A layer 105 is formed on top of 103, with a dashed line indicating an interface.
- (d)** The substrate 101 is shown with a layer 102 on top. A layer 103 is formed on top of 102, with a dashed line indicating an interface. A layer 104 is formed on top of 103, with a dashed line indicating an interface. A layer 105 is formed on top of 104, with a dashed line indicating an interface. A layer 106 is formed on top of 105, with a dashed line indicating an interface.
- (e)** The substrate 101 is shown with a layer 102 on top. A layer 103 is formed on top of 102, with a dashed line indicating an interface. A layer 104 is formed on top of 103, with a dashed line indicating an interface. A layer 105 is formed on top of 104, with a dashed line indicating an interface. A layer 106 is formed on top of 105, with a dashed line indicating an interface.

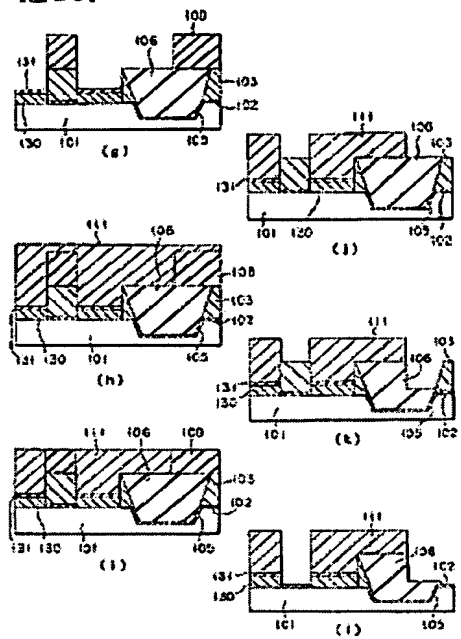
Figure 1 consists of two plots, (a) and (b), showing the dependence of the order parameter  $S_A$  on the distance  $d$ .

Plot (a) shows  $S_A$  vs  $d$  for different thicknesses  $l$  (20 nm, 50 nm, 100 nm) with  $l = 100$  nm fixed. The curves show a transition from  $S_A = 0$  to  $S_A = 100$  as  $d$  increases. The transition occurs at larger  $d$  for smaller  $l$ .

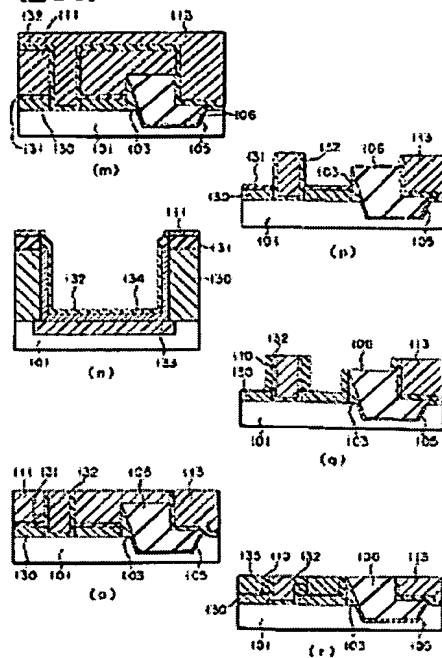
Plot (b) shows  $S_A$  vs  $d$  for different thicknesses  $l$  (50 nm, 100 nm, 150 nm) with  $d = 0.25$  nm fixed. The curves show a transition from  $S_A = 0$  to  $S_A = 100$  as  $l$  increases. The transition occurs at larger  $l$  for smaller  $d$ .



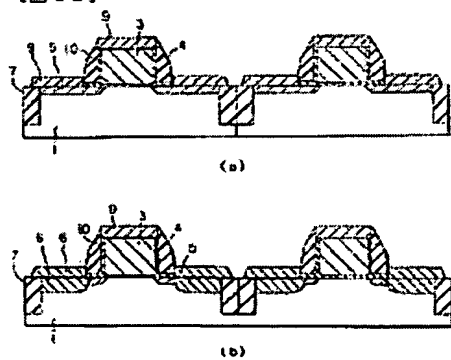
【図 25】



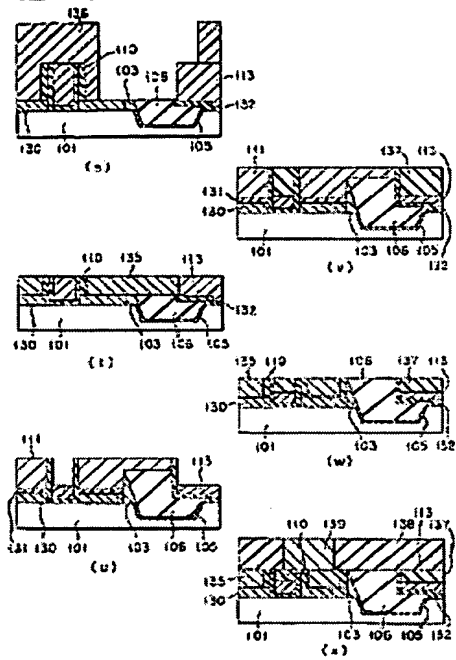
【図 26】



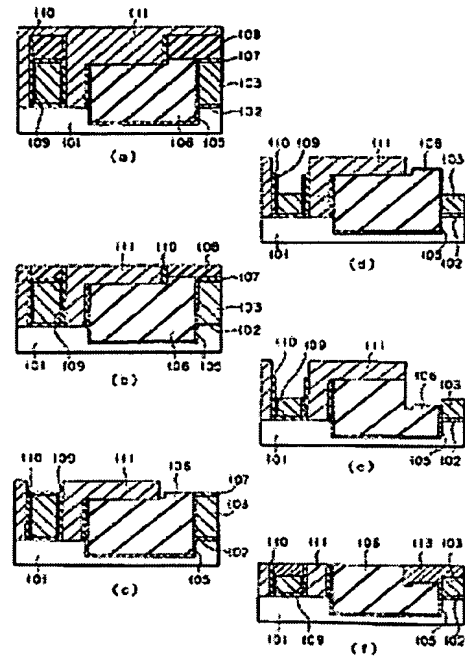
【図 39】



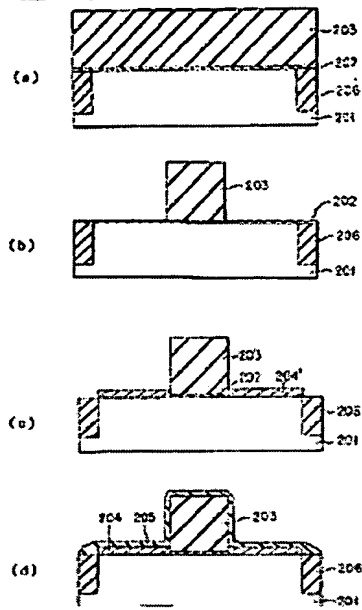
【図 27】



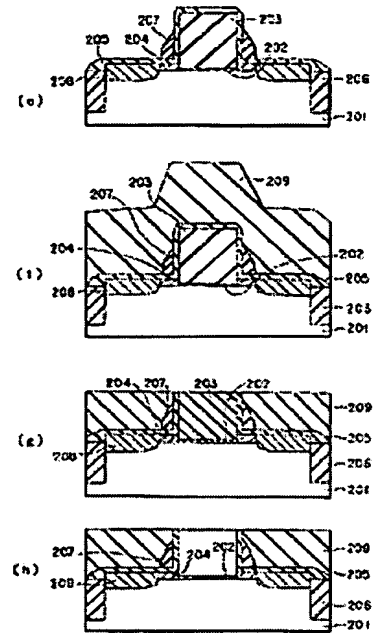
【図 28】



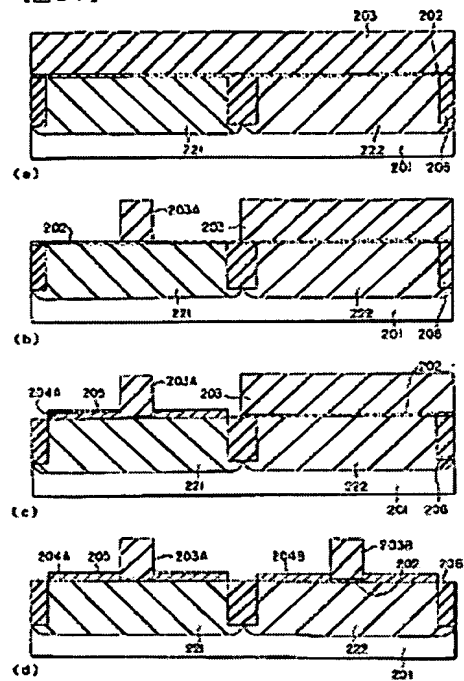
【図 34】



【図 35】



【図37】



フロントページの続き

(72)発明者 赤坂 恭志  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72)発明者 鍋島 祥隆  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内